

Final Rejection dated November 28, 2005 of

Japanese Patent Application No. 11-080462

整理番号:3957039

発送番号:446013

発送日:平成17年11月28日

1

拒絶査定



特許出願の番号	平成11年 特許願 第080462号
起案日	平成17年11月22日
特許庁審査官	福村 拓 3308 2G00
発明の名称	フラットパネル型表示装置及びフラットパネル型表示装置の制御方法
特許出願人	キヤノン株式会社
代理人	大塚 康徳 (外 2名)

この出願については、平成17年 5月 9日付け拒絶理由通知書に記載した理由1によって、拒絶をすべきものである。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

出願人は意見書において、『補正後の請求項はいずれも、「前記第2の省電力モードへの移行の指示を入力する指示手段」を備え、かつ、「前記通常の表示モードから自動的に表示モードを遷移させるときには前記第1の省電力モードに遷移させる」構成を有しています。つまり、省電力モードの種類と省電力モードへの遷移方法との特徴的な組み合わせを備えています（手動遷移なら第2の省電力モードへ、自動遷移なら第1の省電力モードへという特徴的な組み合わせ）。』と主張している。

しかしながら、サスペンド状態などの省電力モードを手動で設定する構成と、スクリーンセーバなどの省電力モードの起動を自動で行う構成を組み合わせたものは、PC等の制御できわめて広く行われていることである（例えば、特開平10-39962号公報等を参照されたい。）。すなわち、手動遷移と自動遷移で異なる省電力モードが設定されることは、必要に応じて当業者が適宜に行うことであると認められる。そして、手動遷移と自動遷移でどのような省電力モードを採用するかは、実現したい消費電力などを勘案して当業者が適宜設計する事項である。

してみると、手動遷移と自動遷移の消費電力モードとして、引用文献1に記載された表示を縮小する省電力モードと、引用文献2に記載された輝度を低減する省電力モードを採用することは、当業者にとって困難であるとはいえない。また、輝度制御としてPWMや電流・電圧の振幅変調はいずれも周知である。

整理番号:3957039 発送番号:446013 発送日:平成17年11月28日 2/E

1. 特開平4-115288号公報
2. 特開平7-5861号公報

この査定に不服があるときは、この査定の謄本の送達があった日から30日以内（在外者にあつては、90日以内）に、特許庁長官に対して、審判を請求することができます（特許法第121条第1項）。

（行政事件訴訟法第46条第2項に基づく教示）

この査定に対しては、この査定についての審判請求に対する審決に対してのみ取消訴訟を提起することができます（特許法第178条第6項）。



BEST AVAILABLE COPY

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成17年11月25日 経済産業事務官 平瀬 恵美子

BEST AVAILABLE COPY

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10039962 A**

(43) Date of publication of application: **13.02.98**

(51) Int. Cl.

G06F 1/26

G06F 1/32

G06F 1/30

(21) Application number: **09105957**

(22) Date of filing: **23.04.97**

(30) Priority: **29.04.98 US 96 639638**

(71) Applicant: **INTERNATL BUSINESS MACH
CORP <IBM>**

(72) Inventor: **MICHAEL WILLIAM CLARKE
HEANEY JAMES ALFRED
NORRIS DUANE EDWARD
PAUL HARRISON BENSON IV**

(54) **COMPUTER SYSTEM**

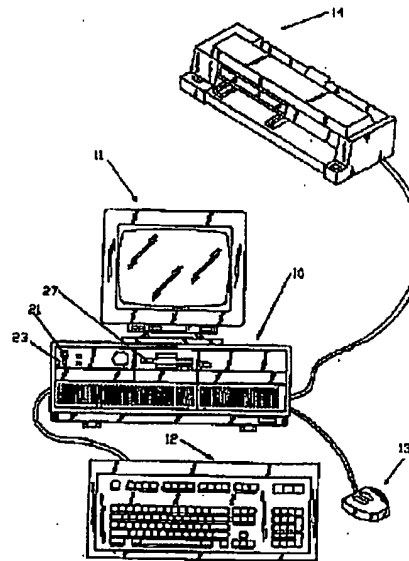
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a sure and inexpensive system for holding data in the case that an AC power fault is generated by providing a power management circuit for selectively changing the state of a computer system between a normal operation state and a suspension state in response to power source interruption urgency control signals.

SOLUTION: A power source is operated so as to generate control signals to the power management circuit when an external power source stops the power supply of a prescribed level while this computer system 10 is in the normal operation state. The normal operation state is a first power source state, and in the state, the power source supplies system power from the external power source to the system 10 and supplies auxiliary power from the external power source to the power management circuit. In the suspension state, codes to be executed on a CPU is reversibly interrupted so as to resume the execution of the codes on the CPU after the power source is changed to the first power source state. The power management circuit changes the system 10 to the suspension state in response to the activation of

the control signals by the power source.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-39962

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/26			G 0 6 F 1/00	3 3 5 C
1/32				3 3 2 Z
1/30				3 3 4 G
				3 4 1 M

審査請求 未請求 請求項の数36 O L (全 55 頁)

(21) 出願番号 特願平9-105957

(22) 出願日 平成9年(1997) 4月23日

(31) 優先権主張番号 08/639638

(32) 優先日 1996年4月29日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATIONアメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)(72) 発明者 マイケル・ウィリアム・クラーク
アメリカ合衆国27278 ノースカロライナ
州ヒルズバラ ラファイエット・ドライ
ブ 612

(74) 代理人 弁理士 坂口 博 (外1名)

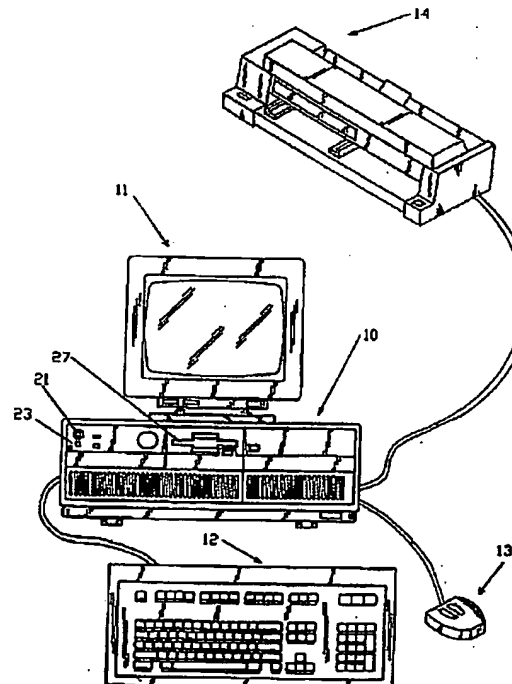
最終頁に続く

(54) 【発明の名称】 コンピュータ・システム

(57) 【要約】

【課題】 中央演算処理装置 (CPU) と、CPUと回路連絡状態になっている電力管理回路 (PMC) とを含む、パーソナル・コンピュータ・システムを開示する。

【解決手段】 電源は、CPUおよびPMCと回路連絡状態になっており、(1) 外部電源または(2) 内部電源からコンピュータ・システムにシステム電力を供給し、PMCに補助電力を選択的に供給するための回路を含む。システムが通常動作状態になっていて、外部電源が電源への所定のレベルの電力供給を停止した (たとえば、電圧低下または停電) とときに、電源は、PMCに制御信号を生成し、その内部電源に切り替わるように動作する。電力管理回路は、通常動作状態になっている間に、電源が制御信号を活動化したことに応答して、PMCによりコンピュータ・システムをサスペンド状態に変化させ、システム全体の状態が不揮発性記憶装置に確実に保管されることを特徴とする。



【特許請求の範囲】

【請求項1】少なくとも2通りの電力管理状態、すなわち、コンピュータ・システムによってコードが正常に実行される通常動作状態とサスペンド状態とで動作可能なコンピュータ・システムにおいて、このシステムが、

(a) 前記コードを実行可能なCPUと、

(b) 前記CPUと回路連絡状態になっており、制御信号にตอบสนองして前記通常動作状態と前記サスペンド状態との間で前記コンピュータ・システムの状態を選択的に変更するための電力管理回路と、

(c) 前記CPUおよび前記電力管理回路と回路連絡状態になっており、前記電力管理回路にตอบสนองして外部電源から前記コンピュータ・システムに選択的にシステム電力を供給するための回路を含み、第1の電源状態と第2の電源状態と第3の電源状態とを有することを特徴とし、前記電力管理回路に補助電力を供給するための回路を有することをさらに特徴とする電源であって、前記電源は、内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給するための回路をさらに含み、前記電源は、前記システムが前記通常動作状態になっていて、前記外部電源が前記電源への所定のレベルの電力供給を停止したときに、前記電力管理回路に前記制御信号を生成するように動作する電源とを含み、

前記第1の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、

前記第2の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、

前記第3の電源状態は、前記電源が前記内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給することを特徴とし、前記通常動作状態は、前記電源が前記第1の電源状態になっていることを特徴とし、

前記サスペンド状態は、電源が前記第1の電源状態に変化した後にCPU上でコードの実行がレジュームできるように、CPU上で実行されるコードが可逆的に中断

されることを特徴とし、前記電源管理回路は、前記通常動作状態の間に、前記電源が前記制御信号を活動化したことにตอบสนองして、前記電力管理回路により前記コンピュータ・システムが前記サスペンド状態に変化することを特徴とする、コンピュータ・システム。

【請求項2】前記電源が前記制御信号を活動化したことにตอบสนองして、前記電力管理回路が、通常動作状態からサスペンド状態にシステムを変更するためにBIOSコードによって実行されるサスペンド・ルーチンを開始する

ことを特徴とする、請求項1に記載のコンピュータ・システム。

【請求項3】前記通常動作状態から前記サスペンド状態への前記変更の間、前記電源が第3の電源状態になっており、前記変更後、前記電源内の電力管理回路により前記電源が第4の電源状態に遷移し、前記第4の電源状態は、前記電源が前記内部電源または前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記内部電源または前記外部電源から前記電力管理回路に補助電力を供給しないことを特徴とする、請求項1に記載のコンピュータ・システム。

【請求項4】前記電源に前記所定のレベルの電力を供給する前記外部電源の復旧にตอบสนองして、前記電源が、前記第4の電源状態から前記第2の電源状態に遷移するように動作し、

前記電力管理回路は、電源が第4の電源状態から第2の電源状態に遷移したことにตอบสนองして、前記電源を第2の電源状態から第1の電源状態に遷移させることをさらに特徴とする、請求項3に記載のコンピュータ・システム。

【請求項5】前記電源が第1の電源状態に遷移した後、前記CPUが、前記システムを前記サスペンド状態から通常動作状態にレジュームするコードを実行するように動作することを特徴とする、請求項4に記載のコンピュータ・システム。

【請求項6】前記電源は、前記外部電源が前記所定のレベルの電力を供給しないことにตอบสนองして、前記電源を前記第1の電源状態から前記第3の電源状態に遷移させることをさらに特徴とする、請求項1に記載のコンピュータ・システム。

【請求項7】前記電源は、外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に前記補助電力を選択的に供給するための回路を含む主電源を含み、前記内部電源が、前記主電源に結合され、前記制御信号を生成するように動作する無停電電源装置であることを特徴とする、請求項1に記載のコンピュータ・システム。

【請求項8】前記電力管理回路が電力管理プロセッサを含むことを特徴とする、請求項1に記載のコンピュータ・システム。

【請求項9】前記CPUおよび前記電力管理回路と回路連絡状態になっており、高電力使用状態と低電力使用状態から選択した1つの状態で動作可能な周辺装置であって、前記周辺装置が前記電力管理回路にตอบสนองして前記高電力使用状態と前記低電力使用状態との間を変化する周辺装置をさらに含み、

前記コンピュータ・システムが第3の電力管理状態である待機状態でさらに動作可能であって、前記待機状態は、前記電源が前記第1の電源状態になっていて、前記周辺装置が前記低電力使用状態になっていることを特徴

とし、

前記電源は、前記システムが前記待機状態になっていて、前記外部電源が前記電源への前記所定のレベルの電力供給を停止したときに、前記電力管理回路に前記制御信号を生成するようにさらに動作し、

前記電力管理回路は、前記待機状態の間に、前記電源が前記制御信号を活動化したことに応答して、前記電力管理回路により前記コンピュータ・システムが前記サスペンド状態に変化することを特徴とする、請求項 1 に記載のコンピュータ・システム。

【請求項 1 0】前記外部電源が交流コンセントであり、前記コンセントにおける交流電圧低下または停電により前記外部電源が前記電源への前記所定のレベルの電力供給を停止することを特徴とする、請求項 1 に記載のコンピュータ・システム。

【請求項 1 1】前記電源が前記制御信号を活動化したことに応答して、前記電力管理回路が、CPU に対して SMI を生成し、CPU がサスペンド・ルーチンに制御権を移転できるようにすることにより、CPU 上でのコードの実行を中断するように動作することを特徴とする、請求項 1 に記載のコンピュータ・システム。

【請求項 1 2】少なくとも 2 通りの電力管理状態、すなわち、前記コンピュータ・システムによってコードが正常に実行される通常動作状態と、前記コンピュータ・システムによるコードの実行が中断されるサスペンド状態とで動作可能なコンピュータ・システムにおいて、このシステムが、

(a) 前記コードを実行可能な CPU と、

(b) 前記 CPU と回路連絡状態になっており、制御信号に응答して前記通常動作状態と前記サスペンド状態との間で前記コンピュータ・システムの状態を選択的に変更するための電力管理回路と、

(c) 前記 CPU および前記電力管理回路と回路連絡状態になっており、前記電力管理回路に응答して外部電源から前記コンピュータ・システムに選択的にシステム電力を供給するための回路を含み、前記電力管理回路に補助電力を供給するための回路を有することを特徴とする電源であって、前記電源は、内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給するための回路をさらに含み、前記電源は、前記システムが前記通常動作状態になっていて、前記外部電源が前記電源への所定のレベルの電力供給を停止したときに、前記電力管理回路に制御信号を生成するように動作する電源と、

(d) 前記 CPU と回路連絡状態になっている不揮発性記憶装置と、

(e) 前記 CPU と回路連絡状態になっており、メモリ・データを格納するための揮発性メモリと、

(f) 前記 CPU と回路連絡状態になっており、レジスタ・データを格納するための揮発性レジスタとを含み、

前記電源管理回路は、前記通常動作状態の間に、前記電源が前記制御信号を活動化したことに応答して、前記電力管理回路により前記コンピュータ・システムが前記サスペンド状態に変化することを特徴とし、

前記通常動作状態から前記サスペンド状態への前記変化が、前記揮発性メモリから前記不揮発性記憶装置へのメモリ・データの転送と、揮発性レジスタから前記不揮発性記憶装置へのレジスタ・データの転送とを含むことを特徴とする、コンピュータ・システム。

10 【請求項 1 3】前記電源が、第 1 の電源状態と第 2 の電源状態と第 3 の電源状態とを有することをさらに特徴とし、

前記第 1 の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、

前記第 2 の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、

20 前記第 3 の電源状態は、前記電源が前記内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給することを特徴とする、請求項 1 2 に記載のコンピュータ・システム。

【請求項 1 4】前記通常動作状態は、前記電源が前記第 1 の電源状態になっていることを特徴とし、

前記サスペンド状態は、電源が前記第 1 の電源状態に変化した後に CPU 上でのコードの実行がレジュームできるように、CPU 上で実行されるコードが可逆的に中断されることを特徴とする、請求項 1 3 に記載のコンピュータ・システム。

【請求項 1 5】前記通常動作状態は、前記電源が前記第 1 の電源状態になっていることを特徴とし、

前記サスペンド状態は、レジスタ・データとメモリ・データが不揮発性記憶装置上に格納されることを特徴とする、請求項 1 3 に記載のコンピュータ・システム。

【請求項 1 6】前記通常動作状態から前記サスペンド状態への前記変更の間、前記電源が第 3 の電源状態になっており、前記変更後、前記電源内の電力管理回路により前記電源が第 4 の電源状態に遷移し、前記第 4 の電源状態は、前記電源が前記内部電源または前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記内部電源または前記外部電源から前記電力管理回路に補助電力を供給しないことを特徴とする、請求項 1 3 に記載のコンピュータ・システム。

【請求項 1 7】前記電源に前記所定のレベルの電力を供給する前記外部電源の復旧に응答して、前記電源が、前記第 4 の電源状態から前記第 2 の電源状態に遷移するように動作し、

前記電力管理回路は、電源が第 4 の電源状態から第 2 の

電源状態に移移したことに応答して、前記電源を第2の電源状態から第1の電源状態に移移させることをさらに特徴とする、請求項16に記載のコンピュータ・システム。

【請求項18】前記電源が第1の電源状態に移移した後、前記CPUが、前記システムを前記サスペンド状態から通常動作状態にレジュームするコードを実行するように動作することを特徴とする、請求項17に記載のコンピュータ・システム。

【請求項19】前記CPUおよび前記電力管理回路と回路連絡状態になっており、高電力使用状態と低電力使用状態から選択した1つの状態で動作可能な周辺装置であって、前記周辺装置が前記電力管理回路に回答して前記高電力使用状態と前記低電力使用状態との間を変化する周辺装置をさらに含み、前記コンピュータ・システムが第3の電力管理状態である待機状態でさらに動作可能であって、前記待機状態は、前記電源が前記第1の電源状態になっていて、前記周辺装置が前記低電力使用状態になっていることを特徴とし、前記電源は、前記システムが前記待機状態になっていて、前記外部電源が前記電源への前記所定のレベルの電力供給を停止したときに、前記電力管理回路に前記制御信号を生成するようにさらに動作し、前記電力管理回路は、前記待機状態の間に、前記電源が前記制御信号を活動化したことに応答して、前記電力管理回路により前記コンピュータ・システムが前記サスペンド状態に変化することを特徴とする、請求項12に記載のコンピュータ・システム。

【請求項20】前記電源は、前記外部電源が前記所定のレベルの電力を供給しないことに応答して、前記電源を前記第1の電源状態から前記第3の電源状態に移移させることをさらに特徴とする、請求項12に記載のコンピュータ・システム。

【請求項21】前記電源は、外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に前記補助電力を選択的に供給するための回路を含む主電源を含み、前記内部電源が、前記主電源に結合され、前記制御信号を生成するように動作する無停電電源装置であることを特徴とする、請求項12に記載のコンピュータ・システム。

【請求項22】前記不揮発性記憶装置が固定ディスク記憶装置を含むことを特徴とする、請求項12に記載のコンピュータ・システム。

【請求項23】前記電力管理回路が電力管理プロセッサを含むことを特徴とする、請求項12に記載のコンピュータ・システム。

【請求項24】前記外部電源が交流コンセントであり、前記コンセントにおける交流電圧低下または停電により前記外部電源が前記電源への前記所定のレベルの電力供

給を停止することを特徴とする、請求項12に記載のコンピュータ・システム。

【請求項25】前記電源が前記制御信号を活動化したことに応答して、前記電力管理回路が、CPUに対してSMIを生成し、CPUがサスペンド・ルーチンに制御権を移転できるようにすることにより、CPU上でのコードの実行を中断するように動作することを特徴とする、請求項12に記載のコンピュータ・システム。

【請求項26】前記電源が前記制御信号を活動化したことに応答して、前記電力管理回路が、通常動作状態からサスペンド状態にシステムを変更するためにBIOSコードによって実行されるサスペンド・ルーチンを開始することを特徴とする、請求項12に記載のコンピュータ・システム。

【請求項27】少なくとも2通りの電力管理状態、すなわち、通常動作状態とサスペンド状態とで動作可能なコンピュータ・システムにおいて、このシステムが、

(a) コードを実行可能なCPUと、

(b) 前記CPUと回路連絡状態になっており、サスペンド事象に回答して前記通常動作状態と前記サスペンド状態との間で前記コンピュータ・システムの状態を選択的に変更するための電力管理回路と、

(c) 前記CPUおよび前記電力管理回路と回路連絡状態になっており、前記電力管理回路に回答して外部電源から前記コンピュータ・システムに選択的にシステム電力を供給するための回路を含み、第1の電源状態と第2の電源状態と第3の電源状態とを有することを特徴とし、前記電力管理回路に補助電力を供給するための回路を有することをさらに特徴とする電源であって、前記電源は、内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給するための回路をさらに含み、前記電源は、前記システムが前記通常動作状態になっていて、前記外部電源が前記電源への所定のレベルの電力供給を停止したときに、制御信号を生成するように動作する電源とを含み、前記第1の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、

前記第2の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、

前記第3の電源状態は、前記電源が前記内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給することを特徴とし、前記通常動作状態は、前記電源が前記第1の電源状態になっていることを特徴とし、

前記サスペンド状態は、電源が前記第1の電源状態に変化した後にCPU上でのコードの実行がレジュームでき

るように、CPU上で実行されるコードが可逆的に中断されることを特徴とし、

前記電源が前記制御信号を活動化したことに応答して、前記コードが、前記コンピュータ・システムを前記通常動作状態から前記サスペンド状態に変化させるサスペンド・ルーチンを実行することを特徴とする、コンピュータ・システム。

【請求項28】前記コードが、電力管理状態の遷移を実現し、前記制御信号の状態を監視することを特徴とするBIOSコードであって、前記電源が前記制御信号を活動化したことに応答して、前記BIOSコードが、CPU上の他のコードの実行を中断し、前記サスペンド・ルーチンを実行できることを特徴とする、請求項27に記載のコンピュータ・システム。

【請求項29】前記コードが、電力管理状態の遷移を制御することを特徴とするオペレーティング・システム・コードであって、前記電源が前記制御信号を活動化したことに応答して、前記オペレーティング・システム・コードが、CPU上の他のコードの実行を中断し、前記サスペンド・ルーチンを呼び出せることを特徴とする、請求項27に記載のコンピュータ・システム。

【請求項30】前記通常動作状態から前記サスペンド状態への前記変更の間、前記電源が第3の電源状態になっており、前記変更後、前記電源内の電力管理回路により前記電源が第4の電源状態に遷移し、前記第4の電源状態は、前記電源が前記内部電源または前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記内部電源または前記外部電源から前記電力管理回路に補助電力を供給しないことを特徴とする、請求項27に記載のコンピュータ・システム。

【請求項31】前記電源に前記所定のレベルの電力を供給する前記外部電源の復旧に応答して、前記電源が、前記第4の電源状態から前記第2の電源状態に遷移するように動作し、前記電力管理回路は、電源が第4の電源状態から第2の電源状態に遷移したことに応答して、前記電源を第2の電源状態から第1の電源状態に遷移させることをさらに特徴とする、請求項30に記載のコンピュータ・システム。

【請求項32】前記電源が第1の電源状態に遷移した後、前記CPUが、前記システムを前記サスペンド状態から通常動作状態にレジュームするコードを実行するように動作することを特徴とする、請求項31に記載のコンピュータ・システム。

【請求項33】前記電源は、前記外部電源が前記所定のレベルの電力を供給しないことに応答して、前記電源を前記第1の電源状態から前記第3の電源状態に遷移させることをさらに特徴とする、請求項27に記載のコンピュータ・システム。

【請求項34】前記電源は、外部電源から前記コンピ

ュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に前記補助電力を選択的に供給するための回路を含む主電源を含み、前記内部電源が、前記主電源に結合され、前記制御信号を生成するように動作する無停電電源装置であることを特徴とする、請求項27に記載のコンピュータ・システム。

【請求項35】前記電力管理回路が電力管理プロセッサを含むことを特徴とする、請求項27に記載のコンピュータ・システム。

【請求項36】前記CPUおよび前記電力管理回路と回路連絡状態になっており、高電力使用状態と低電力使用状態から選択した1つの状態で動作可能な周辺装置であって、前記周辺装置が前記電力管理回路に応答して前記高電力使用状態と前記低電力使用状態との間を変化する周辺装置をさらに含み、

前記コンピュータ・システムが第3の電力管理状態である待機状態でさらに動作可能であって、前記待機状態は、前記電源が前記第1の電源状態になっていて、前記周辺装置が前記低電力使用状態になっていることを特徴とし、

前記電源は、前記システムが前記待機状態になっていて、前記外部電源が前記電源への前記所定のレベルの電力供給を停止したときに、前記制御信号を生成するようにさらに動作し、

前記コードは、前記待機状態の間に、前記電源が前記制御信号を活動化したことに応答して、前記コードが、前記コンピュータ・システムを前記サスペンド状態に変化させる前記サスペンド・ルーチンを実行することを特徴とする、請求項27に記載のコンピュータ・システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的にはパーソナル・コンピュータ・システムに関し、より具体的にはコンピュータ・システムが通常動作状態または待機状態になっている間に交流電力障害が発生したときにコンピュータ・システムの状態を不揮発性記憶装置に保管する(サスペンド)ように動作する電力管理回路と電源とを有するパーソナル・コンピュータ・システムに関する。

【0002】

【従来の技術】パーソナル・コンピュータ・システムは当技術分野では周知のものである。一般にパーソナル・コンピュータ・システム、特にIBMのパーソナル・コンピュータは、現代社会の多くの部分にコンピュータの能力をもたらすために広く普及している。通常、パーソナル・コンピュータは、単一の中央演算処理装置(CPU)とすべてのRAMおよびBIOS ROMを含む関連の揮発性および不揮発性メモリとを有するシステム・ユニットと、システム・モニタと、キーボードと、1つまたは複数のフレキシブル・ディスク・ドライブと、固定ディスク記憶ドライブ(「ハード・ドライブ」

ともいう)と、いわゆる「マウス」というポインティング・デバイスと、任意のプリンタとから構成される、デスクトップ、床置き式、または携帯用マイクロコンピュータとして定義することができる。このようなシステムの顕著な特徴の1つは、これらの構成要素をひとまとめに電気接続するためにマザーボードまたはシステム・プレーナを使用することである。このようなシステムは、主に単一ユーザに独立した計算能力を提供するために設計されており、個人または小規模事業所による購入のために低価格になっている。このようなパーソナル・コンピュータ・システムの例は、IBMのパーソナル・コンピュータATやIBMのAptivaである。

【0003】通常、パーソナル・コンピュータ・システムは、ワード処理、表計算によるデータの操作、データベースにおけるデータの収集と関連付け、グラフィックの表示、システム設計ソフトウェアを使用する電気または機械システムの設計など、多様な活動を実行するためのソフトウェアを動作させるために使用する。

【0004】最初の4つの関連アプリケーションでは、通常動作状態、待機状態、サスペンド状態、オフ状態という4通りの電力管理状態を有するコンピュータ・システムが開示されている。オフ状態と、通常動作状態と、サスペンド状態との間で変化するように、1つのスイッチが使用されている。

【0005】本発明のコンピュータ・システムの通常動作状態は、典型的なデスクトップ・コンピュータの通常動作状態とほぼ同一である。ユーザは、複数のアプリケーションを使用し、基本的にそのコンピュータを他のコンピュータと同じように扱うことができる。相違点の1つは、ユーザにとって透過で背景で(BIOSおよびオペレーティング・システムで)動作する電力管理ドライバが存在することである。オペレーティング・システム(OS)内の電力管理ドライバの部分は、インテル社とマイクロソフト社が作成したアドバンスド・パワー・マネージメント(APM)という拡張プログラミング・インタフェースであり、現在、インテル社の80X86系列のプロセッサ上で動作するように作成されたほとんどのオペレーティング・システムに含まれている。BIOS内の電力管理ドライバの部分(APM BIOS)は、APM OSドライバとやりとりする。APM OSドライバとAPM BIOSルーチンは相俟って、残りの3通りの状態との間のコンピュータの遷移を制御する。

【0006】第2の状態である待機状態では、使用する電力が通常動作状態より少ないが、本来実行すると思われるようにアプリケーションを実行状態にしておく。一般に、待機状態では、各種装置をそれぞれの低電力モードにすることにより、電力が節約される。たとえば、待機状態では、ハード・ドライブ内の固定ディスクの回転を止め、ビデオ信号の生成を止めることにより、電力が

節約される。

【0007】第3の状態はサスペンド状態である。サスペンド状態では、コンピュータ・システムが消費する電力は極めて少量になる。サスペンドしたコンピュータは、コンセントからの電力をほとんど消費しない。消費する電力は、(システムが交流電力を受け入れないときに)コンピュータ・システム内部のバッテリーからのスイッチを監視する回路を維持するための少量の電力、または(システムが交流電力を受け入れるときに)電源によって補助電力線で生成される少量の電力だけである。

【0008】このような少量の電力使用は、電源を「オフ」にする前にコンピュータ・システムの状態を固定ディスク記憶装置(ハード・ドライブ)に保管することによって行われる。サスペンド状態に入るため、コンピュータ・システムは実行コードを中断し、コンピュータの制御権を電力管理ドライバに移転する。電力管理ドライバは、コンピュータ・システムの状態を確認し、コンピュータ・システムの状態を固定ディスク記憶装置に書き込む。CPUレジスタ、CPUキャッシュ、システム・メモリ、システム・キャッシュ、ビデオ・レジスタ、ビデオ・メモリ、その他のデバイスのレジスタの状態は、すべて固定ディスクに書き込まれる。システム全体の状態は、コード・アプリケーションが中断による悪影響を受けずに復元できるように保管される。次にコンピュータは、システムがサスペンドされたことを示すデータを不揮発性CMOSメモリに書き込む。最後に、コンピュータは、電力生成を停止するように電源に指示する。コンピュータ全体の状態は固定ディスク記憶装置に確実に保管され、システム電源は「オフ」になり、コンピュータは、スイッチを監視する回路に電力供給するために電源から少量の調整電力を受け入れるだけになる。

【0009】第4の状態かつ最終的な状態はオフ状態である。この状態では、電源がコンピュータ・システムに調整電力を供給するのを止めるが、コンピュータ・システムの状態は固定ディスクに保管されていない。オフ状態は、典型的なデスクトップ・コンピュータが通常通りにオフになるのとはほぼ同一である。

【0010】状態間の切替えは、電力管理ドライバによって処理され、通常、単一のスイッチと、1つのフラグと、非活動待機タイマおよび非活動サスペンド・タイマという2つのタイマの閉鎖事象に基づいている。システムには、単一の電源ボタンが付いている。このボタンを使用すると、コンピュータ・システムをオンにし、システムの状態をサスペンドし、システムの状態を復元し、システムをオフにすることができる。

【0011】電力障害または故障は、いつでも起こりうるものであり、ほとんど予想することができない。パーソナル・コンピュータ・システム内のデータを不揮発性記憶媒体にバックアップしていない場合、このような電力障害が発生すると、そのデータは喪失される。電力障

害または故障が 1 秒未満の場合、パーソナル・コンピュータがデータを喪失することもある。解決策の 1 つは無停電電源装置 (UPS) である。UPS を使用すると、コンセントからの電力が妨害されるかまたは途切れたときにパーソナル・コンピュータ、サーバ、またはメインフレームへの電力を維持することができ、ユーザへの割込みなしにコンピュータ・システムがその通常動作状態を維持することができる。しかし、UPS がコンピュータ・システムに電力供給できる時間には制限がある。したがって、UPS が電力を供給できる時間 (すなわち、UPS の貯蔵電荷が尽きたとき) より長く電力障害が続く場合、コンピュータ・システムは電力が途切れ、現在、使用、表示などが行われているデータとアプリケーションが損害を受ける。しかも、無停電電源装置は非常に高価であり、通常、法人ユーザが使用している。さらに、UPS が電力供給できる時間が長ければ長いほど、UPS の価格が高くなる。したがって、ほとんどの小規模事業所や家庭内ユーザは、UPS を購入することができないので、電力障害または故障時にデータを喪失する可能性がより高くなる。

【0012】

【発明が解決しようとする課題】したがって、電力管理 (たとえば、サスペンド/レジューム) 機構を有するパーソナル・コンピュータ・システムに統合可能で、交流電力障害が発生した場合にデータを保持するための確実に安価なシステムを提供することが望ましい。

【0013】

【課題を解決するための手段】本発明は、前記コンピュータによってコードが正常に実行される通常動作状態とサスペンド状態という少なくとも 2 通りの電力管理状態で動作可能なパーソナル・コンピュータ・システムに関する。このシステムは、コードを実行可能な CPU と、CPU と回路連絡状態になっており、電源遮断切迫 (PDI) 制御信号に応答して通常動作状態とサスペンド状態との間でコンピュータ・システムの状態を選択的に変更するための電力管理回路とを含む。電源は、電力管理回路と回路連絡状態になっており、電力管理回路に応答して外部電源からコンピュータ・システムに選択的にシステム電力を供給するための回路を含み、電力管理回路に補助電力を供給するための回路を有することをさらに特徴とする。この電源は、内部電源からコンピュータ・システムにシステム電力を供給し、電力管理回路に補助電力を供給するための回路をさらに含む。

【0014】電源は、システムが通常動作状態 (または待機状態) になっていて、外部電源が電源への所定のレベルの電力供給を停止した (たとえば、電圧低下または停電) ときに、電力管理回路に PDI 制御信号を生成するように動作する。さらに、PDI 信号の活動化と同時に、電源が内部 (バックアップ) 電源からコンピュータ・システムにシステム電力を供給し、電力管理回路に補

助電力を供給するように、電源はそのバックアップ内部電力に切り替わる。電力管理回路は、通常動作状態 (または待機状態) の間に、電源が PDI 制御信号を活動化したことに応答して、電力管理回路によりコンピュータ・システムがサスペンド状態に変化し、システム全体の状態が不揮発性記憶装置に確実に保管されることをさらに特徴とする。

【0015】本発明で使用する電源は、交流電力障害がどのくらいの長さ持続するかにかかわらず、コンピュータ・システムがサスペンド・ルーチンを実行できるようにするために十分なバックアップ電力のみを備える必要がある。したがって、このような電源のコストは、交流電力障害の持続期間中、電力を供給できる電源のコストより、かなり低くなる。さらに、後者の電源を有するコンピュータ・システムには、電源の貯蔵電荷を使い尽くすとデータが喪失されるという欠点があるが、本発明のシステムでは、バックアップ電力を使い尽くす前に不揮発性記憶装置に保管されるので、データは一切喪失されない。

20 【0016】

【発明の実施の形態】本発明については添付図面に関連して以下に詳述し、添付図面には本発明の好ましい実施例を示すが、以下の説明の開始に当たり、当業者であれば、本発明の好ましい結果を達成しながら、ここに記載する本発明を変更することができることに留意された。したがって、以下の説明は、当業者に向けられた広範囲の教示用開示であって、本発明を制限するものではないと理解すべきである。また、本出願は、コンピュータ・システム設計のあらゆる面に精通した人向けに作成されたものである。

【0017】次により具体的に添付図面を参照すると、本発明を実施するマイクロコンピュータ・システムが図示され、全体が 10 で示されている (図 1)。前述のように、コンピュータ 10 は、関連ディスプレイ・モニタ 11 と、キーボード 12 と、マウス 13 と、プリンタまたはプロッタ 14 とを有することができる。コンピュータ 10 は、シャシ 19 と共同で密閉されたシールド容積を規定し、デジタル・データを処理し格納するために電力供給されたデータ処理構成要素とデータ記憶構成要素とを受け入れるように、装飾用外部メンバ 16 と内部シールド・メンバ 18 とによって形成されたカバー 15 を有する (図 2)。これらの構成要素の少なくとも一部は、シャシ 19 上に搭載され、上記の要素ならびにフロッピー・ディスク・ドライブ、様々な形式の直接アクセス記憶装置、アクセサリ・アダプタ・カードまたはボードなどのその他の関連要素を含む、コンピュータ 10 の各種構成要素を電気的に相互接続するための手段を提供する、多層プレーナ 20 またはマザーボード上に搭載されている。以下により詳しく指摘するように、プレーナ 20 には、マイクロコンピュータの各種動作構成要素と

の間の入出力信号の受渡しのための装備が設けられている。

【0018】システム10は、電源17と、電源ボタン21（ここではスイッチ21ともいう）と、電源／フィードバックLED23とを有する。典型的なシステムの通常の電源スイッチとは異なり、このスイッチ21は、後述するように、電源17との間の交流電力線を切り替えるものではない。シャシ19は、22に示すベースと、24に示す前面パネルと、25に示す後部パネルとを有する（図2）。前面パネル24は、磁気または光ディスク用のディスク・ドライブ、テープ・バックアップ・ドライブなどのデータ記憶装置を受け入れるための少なくとも1つのオープン・ベイ（ならびに、図示の形式の4つのベイ）を規定する。図示の形式には、1対の上部ベイ26、28と、1対の下部ベイ29、30が設けられている。上部ベイの一方26は第1のサイズの周辺ドライブ（3.5インチ・ドライブと呼ばれるものなど）を受け入れるようになっており、もう一方28は2通りのサイズ（3.5インチと5.25インチなど）のうちの指定の1つのドライブを受け入れるようになっており、下部ベイは1つのサイズ（3.5インチ）のみの装置を受け入れるようになっている。図1の27には、1つのフロッピー・ディスク・ドライブを示すが、これは、そこに挿入されたディスクを受け入れ、一般に知られているようにデータの受取り、格納、送達を行うためにディスクを使用することができる、取外し可能媒体直接アクセス記憶装置である。31には1つのハード・ディスク・ドライブを示すが、これは、一般に知られているようにデータの格納および送達を行うことができる固定媒体直接アクセス記憶装置である。

【0019】上記の構造を本発明に関連付ける前に、パーソナル・コンピュータ・システム10の一般的な動作を要約すると、検討に値すると思われる。図3および図4を参照すると、同図には、パーソナル・コンピュータ・システムのプレーナ20上に搭載された構成要素と、プレーナから入出力スロットおよびその他のハードウェアへの接続を含む、本発明によるシステム10などのコンピュータ・システムの各種構成要素を示す、パーソナル・コンピュータ・システムのブロック図が示されている。プレーナには、マイクロプロセッサから構成されるシステム・プロセッサ40（ここではCPU40ともいう）が接続され、このマイクロプロセッサは高速CPUローカル・バス42によってメモリ制御ユニット46に接続され、メモリ制御ユニットは揮発性ランダム・アクセス・メモリ（RAM）53にさらに接続されている。メモリ制御ユニット46は、メモリ制御装置48と、アドレス・マルチプレクサ50と、データ・バッファ52とから構成されている。メモリ制御ユニット46は、4つのRAMモジュール54によって表されるランダム・アクセス・メモリ53にさらに接続されている。

メモリ制御装置48は、マイクロプロセッサ40との間でアドレスをRAM53の特定の領域にマッピングするための論理回路を含む。この論理回路は、前にBIOSが占有していたRAMを再利用するために使用するものである。メモリ制御装置48はROM選択信号（ROMSEL）をさらに生成するが、この信号はROM88を使用可能にしたり使用禁止にするために使用する。

【0020】特に図3および図4のシステム・ブロック図に関連して以下に本発明を説明するが、以下の説明の開始に当たり、本発明による装置および方法はプレーナ・ボードの他のハードウェア構成でも使用可能であることを企図したものであることに留意されたい。たとえば、システム・プロセッサ40は、インテル社のペンティアム・プロセッサ、Cyrix社の586-P75プロセッサ、Advanced Micro Devices社の80486プロセッサ、またはシステム管理割込み（SMI）を有する他のマイクロプロセッサにすることができる。ここで使用する「S」拡張マイクロプロセッサという表現は、一般にこのようなマイクロプロセッサを意図するものである。

【0021】図3および図4に戻ると、CPUローカル・バス42（図示していないが、データ、アドレス、制御の各構成要素を含む）は、マイクロプロセッサ40と、数値計算補助プロセッサ44（CPU40の内部にない場合）、ビデオ制御装置56と、システム・キャッシュ・メモリ60と、キャッシュ制御装置62との接続を行うものである。ビデオ制御装置56には、モニタ（またはビデオ表示端末）11とビデオ・メモリ58が関連付けられている。また、CPUローカル・バス42上でバッファ64も結合されている。バッファ64自体は、低速（CPUローカル・バス42と比較した場合）システム・バス66に接続されているが、このバスもアドレス、データ、制御の各構成要素を含んでいる。システム・バス66は、バッファ64ともう1つのバッファ68との間に延びている。システム・バス66は、バス制御タイミング・ユニット70とDMAユニット71にさらに接続されている。DMAユニット71は、中央アービタ82とDMA制御装置72から構成されている。追加のバッファ74は、システム・バス66と、Industry Standard Architecture（ISA）バス76のような任意選択機構バスとの間のインタフェースとなる。バス76には、ISAアダプタ・カード（図示せず）を受け入れるために複数の入出力スロット78が接続されている。ISAアダプタ・カードは、差し込み式に入出力スロット78に接続され、追加の入出力装置またはメモリをシステム10に提供することができる。

【0022】アービトレーション制御バス80は、DMA制御装置72および中央アービタ82を、入出力スロット78、ディスク・アダプタ84、Integrated Drive Electronics（IDE）固定ディスク制御装置86に結合するものである。

【0023】マイクロコンピュータ・システム10は基本的な4メガバイトRAMモジュール53とともに示されているが、任意選択のより高密度のメモリ・モジュール54の追加によって、図3および図4に示すように追加のメモリを相互接続できることに留意されたい。例示のみのために、基本的な4メガバイト・メモリ・モジュールに関連して本発明を説明する。

【0024】システム・バス66とプレーナ入出力バス90との間には、ラッチ・バッファ68が結合されている。プレーナ入出力バス90は、アドレス、データ、制御の各構成要素をそれぞれ含んでいる。ディスク・アダプタ84、IDEディスク・アダプタ86、割込み制御装置92、RS-232アダプタ94、不揮発性CMOS RAM96（ここではNVRAM96ともいう）、CMOSリアルタイム・クロック（RTC）98、並列アダプタ100、複数のタイマ102、読取り専用メモリ（ROM）88、8042 104、電力管理回路106など、様々な入出力アダプタとその他の構成要素がプレーナ入出力バス90に沿って結合されている。104に示す8042は、キーボード12およびマウス13とのインタフェースを取る、スレーブ・プロセッサである。電力管理回路106は、電源17、スイッチ21、電源/フィードバックLED23、内部モデム900または外部モデム902と回路連絡状態になっている。外部モデムは、通常、変換器904に接続され、当業者には既知の通り、この変換器は典型的なコンセントに接続されている。モデム900、902は、典型的な電話用ジャックに接続される。電力管理回路106については、図10～図12に示し、図10～図12に付随する本文で詳しく説明する。

【0025】読取り専用メモリ88は、マイクロプロセッサ40の入出力装置とオペレーティング・システムとの間のインタフェースを取るために使用するBIOSを含んでいる。ROM88に格納されたBIOSは、BIOSの実行時間を短縮するためにRAM53にコピーすることができる。さらにROM88は、メモリ制御装置48にも（ROMSEL信号を介して）応答する。メモリ制御装置48によってROM88が使用可能になると、BIOSはROMから実行される。メモリ制御装置48によってROM88が使用禁止になると、ROMはマイクロプロセッサ40からのアドレス照会に応答しない（すなわち、BIOSはRAMから実行される）。

【0026】リアルタイム・クロック98は時刻計算に使用し、NVRAM96はシステム構成データを格納するために使用する。すなわち、NVRAM96は、システムの現在の構成を記述する値を含むことになる。たとえば、NVRAM96は、固定ディスクまたはディスクの容量、ディスプレイのタイプ、メモリの量、時間、日付などを記述する情報を含んでいる。さらに、SET構成など、特殊な構成プログラムが実行されると、

必ずこのようなデータがNVRAMに格納される。SET構成プログラムの目的は、システムの構成を特徴づける値をNVRAMに格納することである。

【0027】上記の装置のほぼすべては、揮発性レジスタを含んでいる。不必要な図面の混乱を防ぐため、特定の装置のレジスタがその装置を参照することになる。たとえば、CPUレジスタはCPU40のレジスタを指し、ビデオ制御装置レジスタはビデオ制御装置56のレジスタを指す。

【0028】次に図7を参照すると、同図には、本発明のコンピュータ・システムの状態図が示されている。本発明のコンピュータ・システム10には、通常動作状態150、待機状態152、サスペンド状態154、オフ状態156の4通りの状態がある。図7に示す状態間の遷移は、説明のためのものであって、限定のためのものではない。そのため、代わりに追加の事象を使用して、状態遷移を引き起こすこともできる。

【0029】システム10の通常動作状態150は、典型的なデスクトップ・コンピュータの通常動作状態とほぼ同一である。ユーザは、複数のアプリケーションを使用し、基本的にそのコンピュータを他のコンピュータと同じように扱うことができる。相違点の1つは、ユーザにとって透過で背景で（BIOSおよびオペレーティング・システムで）動作する、オペレーティング・システム内の電力管理ドライバ（「APM OSドライバ」）とAPM BIOSルーチンとが存在することである。オペレーティング・システム（OS）内の電力管理ドライバの部分は、インテル社とマイクロソフト社が作成したアドバンスド・パワー・マネージメント（APM）という拡張プログラミング・インタフェースであり、現在、インテル社の80X386またはそれ以上の系列のプロセッサ上で動作するように作成されたほとんどのオペレーティング・システムに含まれている。BIOS内の電力管理ドライバの部分（APM BIOS）は、APM OSドライバとやりとりする。

【0030】本発明に関連するAPM BIOSルーチンについては、後述するが、サスペンド・ルーチンとブートアップ・ルーチンとを含む。レジューム・ルーチン、スーパバイザ・ルーチン、CPU状態保管ルーチン、CPU状態復元ルーチン、APM BIOS経路指定ルーチンなど、その他のAPM BIOSルーチンについては、参照により本明細書に組み込まれる上記の関連出願に詳述されている。OS内の電力管理ドライバとAPM BIOSルーチンは、4通りの状態の間のコンピュータの遷移を制御する。「APM」という用語に対する言及は一般にAPM OSドライバを指すが、文脈によっては他のものを示す場合もある。

【0031】第2の状態である待機状態152では、使用する電力が通常動作状態150より少ないが、本来実行すると思われるようにアプリケーションを実行状態に

しておく。一般に、待機状態 152 では、各種装置をそれぞれの低電力モードにするコードにより、電力が節約される。待機状態 152 では、以下に詳述するように、固定ディスク記憶装置 31 内の固定ディスク（図示せず）の回転を止め、ビデオ信号の生成を止め、CPU 40 を低電力モードにすることにより、電力を節約することができる。しかし、これは限定を意図するものではなく、CPU クロックを減速または停止するか、または他の周辺装置（モデム、LAN カード）が低電力状態に入れるようにするなど、他の方法を使用して電力消費を低下することもできる。

【0032】たとえば、3通りの方法で電力を節約することができる。第1に、通常動作状態 150 では、固定ディスク記憶装置 31 内の固定ディスクはたとえば毎分 3600、4500、または 5400 回転（RPM）で終始回転している。待機状態 152 では、低電力モードに入る（固定ディスク記憶装置 31 内の固定ディスクが回転を止める）ように固定ディスク記憶装置 31 に指示するためのコマンドが IDE ディスク制御装置 86 に送られ、それにより、固定ディスク記憶装置 31 内部のモータ（図示せず）が通常、固定ディスクを回転中に消費する電力が節約される。

【0033】第2に、通常動作状態 150 では、コンピュータ・システムのビデオ制御装置 56 が、ビデオ表示端末 11 上に表示される画像に対応するビデオ信号（当技術分野で周知のように、HSYNC、VSYNC、R、G、B など）を終始生成する。待機状態 152 では、ビデオ制御装置 56 がビデオ信号の生成を止め、それにより、ビデオ制御装置 56 によって通常消費される電力が節約され、HSYNC、VSYNC、R、G、B はいずれも約 0.00VDC に励起される。VESA（Video Electronics Standards Association）準拠のモニタは、HSYNC および VSYNC が約 0.00VDC になると自動的にオフになるので、このようなモニタを使用すると、さらに電力を節約することができる。

【0034】ただし、システムによっては「スクリーンセーバ」を備えているものがあり、それにより、ビデオ表示端末の前面の蛍光体の焼付きを防止するために画面 11 が暗くなることに留意されたい。このようなシステムの多くでは、ビデオ制御装置 56 が引き続きビデオ信号を生成しており、暗い画面または動的表示に対応するビデオ信号を生成するだけである。したがって、スクリーンセーバを実行しているコンピュータ・システムは、依然としてビデオ信号を生成するのに必要な電力を消費している。

【0035】第3に、通常動作状態 150 では、CPU 40 が終始、コマンドを実行し、それにより、電力を消費している。待機状態 152 では、APM CPU アイドル呼出しに応答して BIOS が HALT 命令を出す。HALT 命令を実行すると、次のハードウェア割込みが

発生するまで、CPU の電力消費が大幅に低減される。本当にアイドル状態のときは、CPU は 90% 以上の時間の間、停止状態を維持することができる。

【0036】第3の状態はサスペンド状態 154 である。サスペンド状態 154 では、コンピュータ・システムが消費する電力は極めて少量になる。サスペンドしたコンピュータが消費する電力は 100 ミリワット未満である。消費する電力は、電源オン事象を監視するために（システムが交流電力を受け入れるときに）電源によって補助電力線で生成される少量の電力だけである。

【0037】このような少量の電力使用は、電源を「オフ」にする前にコンピュータ・システムの状態を固定ディスク記憶装置（ハード・ドライブ）31 に保管することによって行われる。サスペンド状態 154 に入るため、CPU 40 はアプリケーションを中断し、CPU のプログラム実行制御権を電力管理ドライバ内の BIOS に移転する。BIOS は、コンピュータ・システム 10 の状態を確認し、コンピュータ・システム全体の状態を固定ディスク記憶装置 31 に書き込む。CPU 40 のレジスタ、CPU キャッシュ 41、システム RAM 53、システム・キャッシュ 60、ビデオ制御装置 56 のレジスタ、ビデオ・メモリ 56、それ以外の揮発性レジスタの状態は、すべて固定ディスク・ドライブ 31 に書き込まれる。システム 10 全体の状態は、使用可能度が大幅に不利にならずに復元できるように保管される。すなわち、ユーザは、通常行われるようにシステムがオペレーティング・システムをロードし、グラフィカル・ユーザ・インタフェースとアプリケーション・プログラムとをロードするのを待つ必要がない。

【0038】次にコンピュータは、システムがサスペンドされたことを示すデータを不揮発性 CMOS メモリ 96 に書き込む。最後に、CPU 40 は、±5VDC と ±12VDC の各線によりシステムに調整電力を供給するのを停止するように電源 17 に指示するようマイクロコントローラ（U2）に命令する。コンピュータ・システム 10 は電力消費量が低下し、コンピュータ全体の状態は固定ディスク記憶装置 31 に確実に保管される。次にシステム電源は「オフ」になり、コンピュータは、スイッチを監視する回路に電力供給するために（電源がコンセントから交流電力を受け入れているときに）電源（AUX5）から少量の調整電力を受け入れるだけになる。以下に詳述するように、電源遮断切迫（PDI）サスペンドの実行後、システム電源と補助電源がオフになる。

【0039】第4の状態かつ最終的な状態はオフ状態 156 である。オフ状態 156 は、典型的なコンピュータ・システムが通常通りに（オン／オフ・スイッチを押す）オフになるのとはほぼ同一である。この状態では、電源 17 の 1 次／調整ユニット 172 がコンピュータ・システム 10 に調整電力を供給するのを止める（図 8 に付随する本文で詳述するように、AUX5 による少量の調

整電力は除く)が、コンピュータ・システム10の状態は固定ディスク31に保管されていない。サスペンド状態154とオフ状態156は、電源17が調整電力を発生しないという点で似ている。両者の相違点は、オフ状態156では、サスペンド状態154のようにコンピュータ・システム10の状態がハード・ドライブ31に保管されないことである。しかも、オフ状態156を出ると、コンピュータ10は、オンになったときと同様に「ブート」する。すなわち、実行コードは、ユーザが始動するか、AUTOEXEC. BATファイルなどの手段により自動的に始動する必要がある。しかし、サスペンド状態154を出ると、コンピュータ10は割込みが発生したときのように実行を再開する。

【0040】図7は、4通りの状態間の遷移を引き起こす事象の概要も示している。このような事象については、図8～図13に付随する本文で詳述するが、大まかな説明は役に立つと思われる。電源ボタン21、3つのタイマ(非活動待機タイマ、非活動サスペンド・タイマ、起動時間タイマ)、サスペンド可能フラグ(図10～図13と付随の本文を参照)、電源遮断切迫(PDI)制御信号は、いずれもコンピュータがどの状態に入るかを左右するものである。一般に、最初の2つのタイマは、ハードウェアか、またはプログラムとしてCPU上で実行されるCPUコード・タイマのいずれかにすることができる。両方のタイマがともに、BIOSデータ・セグメントから実行されるCPUコード・タイマであることが好ましい。これらのタイマについては、上記の出願で詳しく説明されている。

【0041】サスペンド可能フラグはNVRAM96内のCPU操作可能読み取り可能ラッチであり、これについては図19～図25に付随する本文で詳述する。要するに、このビットをあるモードにすると、スイッチ21を押すことによってシステム10がオフ状態156になり、このビットを別のモードにすると、スイッチ21を押すことによってシステム10がサスペンド状態154になる。158に示すように、システム10が通常動作状態150であるときに、サスペンド可能フラグがCLEARされている間に電源ボタン21を押すと、システム10はオフ状態156に入る。160に示すように、システム10がオフ状態156であるときに、電源ボタン21を押すと、システム10は通常動作状態150に入る。さらに、以下に詳述するようないくつかの「外部事象」により、システムをオフ状態156から通常動作状態150に遷移させることができる。

【0042】コンピュータ・システム10が通常動作状態150である場合、1つの事象によってコンピュータを待機状態152にすることができる。すなわち、162に示すように、非活動待機タイマが時間切れになると、コンピュータ・システム10は待機状態152に変化する。代わりに、システムは、ダイアログ・ボックス、スイッチ、その他の入力装置など、ユーザがただちにシステムを強制的に待機状態にするための手段を提供することもできる。164に示すように、待機状態152の間に、ユーザが電源ボタン21を押すことを含む前述の種類のシステムまたはユーザ活動により、コンピュータ10は待機状態152を出て、もう一度通常動作状態150に入ることができる。

【0043】電源ボタン21を押すと、システムは待機状態152から通常動作状態150に変化して、ユーザの混乱を防止する。アイドル状態の場合でも、CPU40はスイッチが押されたかどうかをただちにテストする。ハードウェア割込みによりCPU40は毎秒約20回、アイドル状態から出る。その後、次のAPM獲得事象中にマイクロコントローラU2に問い合わせ、スイッチ21が押されたかどうかを判定する。

【0044】コンピュータ・システム10が通常動作状態150である場合、3通りの事象によってそれをサスペンド状態154にすることができる。第1に、166に示すように、非活動サスペンド・タイマが時間切れになると、コンピュータ・システム10はサスペンド状態154に変化する。第2に、166にも示すように、ユーザは、NVRAM96に書き込まれたサスペンド可能フラグがSETされている間に電源ボタン21を押すことにより、コンピュータ10をただちにサスペンド状態154にすることができる。さらに代わりとして、APMドライバは、サスペンド・ルーチンを呼び出すようにAPM BIOSドライバに指示する「電源状態設定:サスペンド」コマンドによりサスペンド要求を出すことができる。第3に、交流電力障害が発生し、サスペンド可能フラグが設定されている場合、システム10はサスペンド状態154に入る(以下に詳述する)。

【0045】システム10がサスペンド状態154になっている場合、いくつかの事象によりシステムを通常動作状態150にすることができる。ユーザは、168に示すように、電源ボタン21を押すことにより、システム10を通常動作状態150に変化することができる。168に示し、以下に詳述するよう、交流電力障害の結果、システム10がサスペンド状態に入った場合(PDIサスペンド)、システム10は、コンセントから所定のレベルの交流電力が戻ってくると通常動作状態150に変化することができる。

【0046】さらに、いくつかの外部事象を使用して、168に示すようにサスペンド状態154から通常動作状態150に、または160に示すようにオフ状態156から通常動作状態150に、システム10を変更することができる。たとえば、図10～図12の回路のマイクロコントローラU2内の電話呼出し音検出回路は、接続した電話回線の呼出し音が鳴ったときに、システム10がオフ状態156またはサスペンド状態154を出て通常動作状態150に入るように構成されている。この

ような機構は、テレファックス・データやデジタル・データを受信するシステムに有用である。システムは、電話の呼出し音にตอบสนองして通常動作状態に入り、着信ファクシミリ伝送へのアクセス、ファイルのアップロードまたはダウンロード、システムへの遠隔アクセスを可能にすることなどの事前設定機能を実行し、非活動サスペンド・タイマの時間切れにตอบสนองしてもう一度サスペンド・モードに入り、システムが通常動作状態になっている間だけ電力を消費する。

【0047】同様に、マイクロコントローラU2は、アラームタイプの事象によりシステム10がサスペンド状態154またはオフ状態156を出て通常動作状態150に入るようにする、起動時間アラーム・カウンタを実現する。このようなシステムは、電話の使用率の低さを利用するために所与の時刻にテレファックスまたはデジタル・データを送信し、テープ・バックアップ・システムを備えたシステム・ハード・ドライブ31をバックアップするなどのシステム・メンテナンス機能を実行する際に有用である。後者の場合、スケジューラによってテープ・バックアップ・プログラムが実行される時刻より一定期間前にマシンをオンにするように、起動時間アラームが設定される。代わりに、APM BIOSスケジューラを使用して、テープ・バックアップ・プログラムを実行させることもできる。

【0048】最後に、170に示すように、システム10が待機状態152になっていて、(1)非活動サスペンド・タイマが時間切れになるかまたは(2)交流電力障害が発生し、しかもサスペンド可能フラグが設定されている場合、コンピュータ10はサスペンド状態154に変化する。システム10は、サスペンド状態154から待機状態152に戻ることはできないが、遷移168に付随する本文に記載したように通常動作状態150への遷移のみ可能である。

【0049】コンピュータ・システム10が瞬時に状態を変更できないことは明らかである。4通りの状態の1つからの遷移のたびに、必要なシステム変更を行うために所与の期間が必要になる。本発明に関連する各遷移の詳細については、図8～図25に付随する本文で説明する。

【0050】CPU40上で実行するコードの詳細について述べる前に、4通りの状態を達成するのに必要なハードウェアについて先に説明すると有用であると思われる。本発明の電源の一実施例のブロックは図8に示す。電源17には、制御ユニット174と1次/調整ユニット172という2つのユニットがある。また、電源17は、交流電力障害後の所定の時間の間、電源17への電力を維持可能な1次調整ユニット172内に内部エネルギー（バックアップ電力貯蔵）も含んでいる（以下に詳述する）。電源17には、典型的なコンセントから115VACまたは220VACを受け入れる交流線入力

と、電源17の調整活動を制御するON#という、いくつかの入力がある。また、電源17には、任意の交流線出力と、±5VDCと、±12VDCと、AUX5と、GNDと、POWERGOODと、電源遮断切迫(PD1)という、いくつかの出力がある。交流線出力は、通常、ビデオ表示端末11の電力入力（図示せず）に渡される115VACである。制御ユニット174は、ON#入力を受け入れ、POWERGOOD出力を生成する。1次/調整ユニット172は、線入力からの115VACを±5VDCと±12VDCに選択的に調整する。1次/調整ユニット172が電力を±5VDC線と±12VDC線に調整するかどうかは、制御ユニット174がインタフェースを取るON#の値によって決まる。制御ユニット174は、たとえば、適切なオプトアイソレータを使用してON#信号を生成する回路の分離を行うことが好ましい。

【0051】交流線入力と、交流線出力、±5VDC、±12VDC、GND、POWERGOODの各出力は、当技術分野では周知のものである。電源17が「オフ」のとき、すなわち、線入力からの調整電圧を供給しない場合、POWERGOOD信号は論理0になる。電源17が「オン」のとき、電源17は115VACまたは220VAC線入力から±5VDCおよび±12VDCの調整電圧を発生する。このような4通りの調整電圧とそれに関連するGNDは、当技術分野で一般に知られているように「システム電源」になる。調整電圧が受け入れられる許容範囲内のレベルを達成すると、POWERGOOD信号が論理1に変化する。+5ボルト線または+12ボルト線が許容範囲を外れると、POWERGOOD信号は論理0になり、それにより、この状態を示す。

【0052】AUX5出力は、プレーナに補助の+5VDCを供給する。公称115VACを供給する典型的なコンセントに電源17を差し込むと、電源が「オン」か「オフ」かにかかわらず、1次/調整ユニット172はAUX5で調整済みの+5VDCを供給する。したがって、コンセントから交流電力を受け入れている間、電源17は必ずAUX5で公称+5VDCを供給している。AUX5出力が+5出力とは異なる点は、電源17が「オン」になっている間のみ、1次/調整ユニット172が+5出力により調整済みの+5VDCを発生することである。さらにAUX5出力が+5出力と異なる点は、1次/調整ユニット172が+5出力により+5VDCで数アンペアの電流を供給するのに対し、AUX5出力により+5VDCで1アンペア未満の電流を供給することである。

【0053】典型的な従来の電源では、線入力と電源の調整セクションとの接続および切断のために高アンペア双投スイッチを使用する。電源17では、高アンペア双投スイッチを使用していない。むしろ、スイッチ21に

よりON#信号を生成する回路を制御している。スイッチ21は、瞬時単極単投スイッチであることが好ましいが、当業者であれば、単極双投スイッチなど、他のタイプのスイッチを利用するために図10～図12の回路を採用するはずである。交流線入力は、必ずコンセントから1次/調整ユニット172に接続される。ON#が論理1（約AUX5、通常は+5VDC）である場合、1次/調整ユニット172は、±5出力または±12出力により115VAC線入力を±5VDCまたは±12VDCに調整しない。1次/調整ユニット172は、AUX5出力で低アンペアの公称+5VDCを供給するだけである。これに対して、ON#が論理0（約GND）である場合、1次/調整ユニット172は、4つの±5出力および±12出力により115VAC線入力を±5VDCおよび±12VDCにそれぞれ調整する。したがって、ON#が1である場合、電源17は「オフ」になり、ON#が0である場合、電源17は「オン」になる。

【0054】システム10が通常動作状態150または待機状態152になっていて、コンセントで交流電力障害が発生した場合、交流線入力に電力障害を検出し、制御ユニット174がPDI信号を活動化し（すなわち、PDIが第1の論理状態（たとえば、論理0）から第2の論理状態（たとえば、論理1）に変化する）、電源17のバックアップ電力を使い尽くすと、システム10に一切電力が供給されないことを示す。交流電力障害は、電圧低下（電力は依然として印加されるが、110Vではなく50Vなど、電圧が低くなる）になるかまたは停電/電力休止（コンセントから一切電力が供給されない）になるはずである。交流電力障害が発生すると、電源17はその内部バックアップ・エネルギー貯蔵に切り替わるが、このエネルギー貯蔵は交流電力障害中に±5VDC、±12VDC、AUX5の各線で電力を維持し、システム10が「サスペンド」ルーチンを実行している間、システム10を実行状態のままにし、それにより、電源17がシステム10への電力を発生しなくなる前にハード・ドライブにデータが保管される（以下に詳述する）。システム10がサスペンドされた後、±5VDC、±12VDC、AUX5を含む、システムへのすべての電力が停止される。電源17は、交流電力障害が持続する期間の長さにかかわらず、システム10が「サスペンド」ルーチンを実行できるようにするために十分なバックアップ電力を備えるだけでよい。

【0055】次に図9を参照すると、同図には、システム10の電源の代替実施例が示されている。（ただし、以下に記載する相違点を除き、この出願全体にわたる電源17の説明は電源32にも同じように適用できることに留意されたい。）電源32は、主電源34と無停電電源装置（UPS）36を含む。電源34は、電源17と同じであるが、そこからPDI信号は生成されず、バ

ックアップ貯蔵エネルギーを含んでいない。むしろ、コンセントで交流電力障害が発生すると、UPS36を使用して、バックアップ電力を供給し、PDI信号を生成する。UPS36には、交流線入力2とON#という2つの入力がある。交流線入力2は典型的なコンセントから115VACまたは220VACのいずれかを受け入れる。UPS36には、PDIと交流線出力2という2つの出力がある。UPS36の交流線出力2は、電源34の交流線入力に結合され、電源34の交流線入力に115VACまたは220VACを供給する。さらに、コンセントで交流電力障害が発生した場合、UPS36のバックアップ電力貯蔵を使い尽くすかまたはコンセントで許容範囲内の所定のレベル（たとえば、115±15Vまたは220±15V）の交流電力が復旧するかのいずれかが先に発生するまで、UPS36はその内部エネルギー源から初期交流電力障害によって中断されない電源34の交流線入力に115VACまたは220VACを供給し続ける。ただし、受け入れられる許容範囲のレベルは、システムおよびアプリケーションの要件によって様々になる可能性があることに留意されたい。

【0056】システム10が通常動作状態150または待機状態152になっているときに、コンセントで交流電力障害（電圧低下または停電）が発生すると、交流線入力2は電力障害を検出し、UPS36はPDI信号を活動化して、UPS36のバックアップ電力を使い尽くすとシステム10に電力が供給されなくなることを示す。交流電力障害中に電源34が±5VDC線、±12VDC線、AUX5線上で電力を維持し、システム10が「サスペンド」ルーチン（後述する）を実行している間、システム10を実行状態に維持することができるように、UPS36は十分なバックアップ・エネルギー貯蔵を含んでいる。サスペンド・ルーチンの完了後、UPS36がシステム10への電力を発生しなくなる前にすべてのデータがハード・ドライブに保管される（以下に詳述する）。システム10がサスペンドされた後、±5VDC、±12VDC、AUX5を含む、システムへのすべての電力が停止される。UPS36は、交流電力障害が持続する期間の長さにかかわらず、システム10が「サスペンド」ルーチンを実行できるようにするために十分なバックアップ電力を備えるだけでよい。

【0057】次に図10～図12を参照すると、同図には、本発明のコンピュータ・システム10の電子回路の概略図が示されている。図10～図12の回路は、スイッチ21と、電源/フィードバックLED23と、電源17と、ビデオ表示端末11と、CPU40上で実行中のコードとのインタフェースを担当する。

【0058】この回路は4つの集積回路を含み、U1は第1の事前プログラミング済みPAL16LV8であり、U2は事前プログラミング済み87C750マイクロコントローラであり、U3は当技術分野で周知の74

LS05であり、U4は第2の事前プログラミング済みPAL16L8（図示せず）であり、さらに図10～図12に示すように回路連絡状態になっている様々な個別構成要素を含む。一般に、PAL U1およびU4（図示せず）は図3および図4のプレーナ入出力バス90とマイクロコントローラU2とのインタフェースを取り、このマイクロコントローラは図10～図12の残りの回路へのインタフェースとなり、その回路がスイッチ21、電源17、ビデオ表示端末11、プログラム可能クロック合成器（図示せず）へのインタフェースとなる。

【0059】図10～図12の回路は、スイッチ21と、16MHzのクリスタルY1と、16個の抵抗器R1～R16と、9個のコンデンサC1～C9と、好ましい実施例で論理スイッチとして動作するのに適した標準の低電流NMOS FETである3個のN型MOSFET Q1～Q3と、6個の1N4148小信号ダイオードCR1～CR6とをさらに含み、いずれも図10～図12に示すように構成され接続されている。抵抗器R1～R16は、1/4ワットの抵抗器であり、図10～図12に示す値±5%のものである。コンデンサC1は、10μF（±10%）の電解コンデンサである。コンデンサC2およびC3は、22pF（±10%）のタンタル・コンデンサである。コンデンサC4～C8は、0.1μF（±10%）のセラミック・コンデンサである。最後に、コンデンサC9は、1000pF（±10%）のセラミック・コンデンサである。

【0060】クリスタルY1と、コンデンサC2およびC3は、当技術分野で既知の通り、操作のタイミングを制御するためにマイクロコントローラU2が使用する信号を生成する。ダイオードCR1およびCR3と抵抗器R13はVBAT信号からAUX5信号を分離すると同時に、電源17がAUX5信号を生成する間にバッテリー171が消耗しないようにAUX5信号がVBAT信号を補足できるようにする。AUX5信号は、ダイオードCR1およびCR3により低下し、VBATに接続された各種装置に適正な電圧を供給する。代わりに、VBAT線がAUX5線から分離される。

【0061】第2のPAL U4（図示せず）は、アドレス線SA（1）～SA（15）とAEN（アドレス使用可能）線に接続されている。SA（1）～SA（15）とAENは、図3および図4に示すプレーナ入出力バス90の一部である。第2のPAL U4は、アドレス線SA（1）～SA（15）上で所定のアドレスが提示され、AEN（アドレス使用可能）線が活動状態であるときに、アクティブ・ロー信号DCD#を提示して、単にアドレス・デコーダになるようにプログラミングされる。この特定の実施例の第2のPAL U4は、0ECHおよび0EDHというアドレスで2つの連続8ビット入出力ポートをデコードするように事前プログラミングされている。代わりに、当業者には既知の通り、メモ

リ制御装置の汎用入出力ポートなど、他の電子装置によってDCD#信号を生成することもできる。

【0062】第1のPAL U1は、(i) CPU40とマイクロコントローラU2との間でコマンドおよびデータを転送できるようにするためのCPUとマイクロコントローラU2との間の読取り/書き込みインタフェース、(ii) マウス割込みINT12とキーボード割込みINT1との論理ORを取ることで、(iii) CPU40からのコマンドに応答してマイクロコントローラU2をリセットするためのリセット出力という、いくつかの機能を提供するようにプログラミングされている。

【0063】第1のPAL U1は、2つの連続入出力ポート（ここでは「電力管理ポート」ともいう）を利用する。第1のPAL U1には、プレーナ入出力バス90からの入力8つあり、SD（4）、SD（0）、SA（0）、IOW#、IOR#、RST_DRV、IRQ1、IRQ12である。第1のPAL U1は、ピン7（16）で入力されたアクティブ・ハイ信号RST_DRVによって既知の初期状態にリセットされるが、この信号は、当業者には周知の通り、通常、メモリ制御装置46によって生成される。

【0064】マイクロコントローラU2のリセット線RST751はピン9にある。リセット副回路920は、RST751信号の生成を担当し、4つの抵抗器R4、R14、R15、R16と、2つのコンデンサC1およびC8と、2つのMOSFET Q2およびQ3とを含み、これらは、図10～図12に示すように第1のPAL U1およびマイクロコントローラU2と回路連絡状態になっている。RESET線が論理1になっているときにRST751線が論理1に引き上げられ、それにより、マイクロコントローラU2がリセットされるように、リセット副回路920は、第1のPAL U1からのリセット出力信号RESETをマイクロコントローラU2のリセット入力信号RST751にインタフェースするものである。

【0065】第1のPAL U1は、CPU40が制御ポート0EDHのビット0に論理1を書き込んだことに応答して、マイクロコントローラU2をリセットする。制御ポート0EDHのビット0に論理1を書き込むと、第1のPAL U1はRESET線を論理1に引き上げ、それがRST751線を論理1に引き上げ、それにより、マイクロコントローラU2をリセットする。CPU40は、制御ポート0EDHのビット0に論理0を書き込むことによって、リセット要求をクリアする。

【0066】さらに、AUX5の電圧の再印加後に発生するようにAUX5信号の電圧が所与の量だけ上昇すると、リセット副回路は必ずRST751線を論理1に引き上げ、それにより、マイクロコントローラU2をリセットする。87C750のメーカーであるフィリップス社では、リセット問題を防止するために単純なRC回路の

使用を提案しているが、単純なRC回路は明瞭なリセットをもたらさないことがすでに判明している。図10～図12の特定の構成では、R4、R14、C1によって決まる一定時間より長い期間にAUX5の電圧が限界値だけ上昇すると、R15およびC8によって決まる期間、RST751線が論理1に引き上げられる（それにより、マイクロコントローラU2をリセットする）。これは、典型的な電圧低下または停電後にコンセントの交流電力が復旧したときなどに発生するものと思われる。図10～図12に示す実施例では、しきい値は約1.5 VDCである。

【0067】このリセット回路は、非常に安価で、マイクロコントローラU2をリセットしないときはほとんど電力を消費せず、マイクロコントローラU2のリセット保護の増強という恩恵をもたらす。

【0068】マイクロコントローラU2は、第1のPAL U1を介してCPU40へのインタフェースが取られ、複数の入力と、出力と、内部で制御可能な機能とを有する。

【0069】SWITCH信号は、ピン8（P0.0）から入力され、プッシュボタン21の現行状態を反映する。プッシュボタン21は通常、開いている。プッシュボタン21が開いていると、SWITCH線は抵抗器R1により論理0（アース）に引き下げられる。プッシュボタン21を押すと、それにより、閉鎖事象が発生し、SWITCH線は抵抗器R12により論理1（AUX5）に引き上げられる。コンデンサC6はスイッチ閉鎖事象のバウンス解除を行うように動作し、スイッチ21の閉鎖事象のそれ以上のバウンス解除は、当業者には既知の通り、SWITCHを所定の回数、たとえば50回、読み取り、SWITCH線がどの読取りでも同じであることを確認することにより、マイクロコントローラU2内で行われる。

【0070】電源17（または32）の調整は、マイクロコントローラU2によって直接制御可能である。図10～図12に示すように、ON信号はピン5（P3.0）から出力され、電源のON#信号を制御するために抵抗器R6を介してSWITCH信号とORされる。ON信号が論理1であると、MOSFET Q1は伝導し、それにより、ON#線（JP2のピン2）を論理0（GND）に引き下げ、それにより、電源17は±5 VDCと±12 VDCの各線によりシステムへの調整電力の供給を開始する。これに対して、ON線が論理0であると、MOSFET Q1は伝導しないので、ON#線（JP2のピン2）は抵抗器R7によって論理1（AUX5）に引き上げられ、それにより、電源17は±5 VDCと±12 VDCの各線による調整電力の供給を止める。

【0071】ON線の状態は、スイッチ21の閉鎖事象にตอบสนองし、CPU40によって書込み可能なマイクロ

ントローラU2内の書込み可能レジスタ・ビットによりCPU40にตอบสนองして、マイクロコントローラU2によって制御される。マイクロコントローラU2はAUX5から電力を供給されるので、マイクロコントローラU2は必ず電力を供給され（前述のようにPDIサスペンドの完了後は除く）、コードを実行し、システムを制御する。電源17が±5 VDCと±12 VDCの各線によりシステムに調整電力を供給しておらず、（i）スイッチ21が押されるか、（ii）外部事象の1つが発生するか、または（iii）内部アラームが時間切れになると、マイクロコントローラU2はON信号をアサートし、それにより、電源17は±5 VDCと±12 VDCの各線によりシステムに調整電力を供給する。マイクロコントローラは、スイッチ21の解除後もON信号のアサートを続行する。

【0072】電源17（または32）は、バックアップ・システムとして、プッシュボタン21によるユーザの直接制御下でオンにすることもできる。電源ボタン21を押してもそれにตอบสนองしてシステムが増力しないことによって証明されるように、このオプションは、通常、マイクロコントローラU2が予想通りの機能を停止した場合のみ、使用される。図10～図12に示すように、スイッチ21は、ダイオードCR2、MOSFET Q1、抵抗器R7、コネクタJP2を介して、電源17のON#線も制御する。通常、プッシュボタン21は開いており、SWITCH線はR1により論理0に引き下げられ、MOSFET Q1は伝導しないので、抵抗器R7によってON#線（JP2のピン2）が論理1（AUX5）に引き上げられ、電源17は±5 VDCと±12 VDCの各線による調整電力の供給を行わない。

【0073】ユーザがスイッチ21を押して保持すると、SWITCH線は論理1に引き上げられ、MOSFET Q1は伝導し、それにより、ON#線（JP2のピン2）が論理0（GND）に引き下げられ、それにより、電源17は±5 VDCと±12 VDCの各線による調整電力の供給を開始する。ボタン21をさらに保持した状態で、システムに電力供給すると、BIOSによりCPU40はマイクロコントローラU2がまだ機能しているかどうかをテストする。機能していない場合、CPU40はマイクロコントローラU2をリセットし、マイクロコントローラU2はリセット後、スイッチ21が押されていることを検出する。そのため、ボタン21をさらに保持した状態で、マイクロコントローラはON信号をアサートするので、ユーザは、マイクロコントローラがその時点で電源17を制御していることを把握して、最終的にスイッチ21を解除することができる。このバックアップ・オプションを使用するために、ユーザは、およそ数秒間、すなわち約5秒間の期間、ボタン21をPOSTに押し込む必要がある。

【0074】マイクロコントローラU2は、（i）スイ

ッチ21が押されるか、(ii)システムをオフにするようにCPU40がマイクロコントローラに命令すると、それに応答してシステムをオフにするだけである。マイクロコントローラU2にとって、これらの事象は同じである。というのは、スイッチ21の閉鎖事象またはCPU40のいずれかによってスイッチの押下げを行えるようにマイクロコントローラが構成されており、ハードウェア・ボタンの押下げ/解除がソフトウェア・ボタンの押下げ/解除とほぼ同じように扱われるからである。マイクロコントローラU2は、マイクロコントローラU2 10 内のAPM接続フラグがクリアされた場合のみ、CPUによるコマンドなしにシステムをオフにする。この場合、システムに電力が供給され、APM接続フラグがCLEARされると、スイッチ21の閉鎖事象に応答して、マイクロコントローラU2がON信号をクリアし、それにより、電源17は±5VDCと±12VDCの各線によるシステムへの調整電力の供給を止める。ON信号は、スイッチ21の解除後もクリアされたままになる。

【0075】マイクロコントローラU2は、システム状態がハード・ディスク・ドライブ31に正常に保管された(サスペンド)後に出される、CPUによるコマンドに応答した場合もシステム10をオフにする。マイクロコントローラU2は、このようなコマンドに応答して、ON信号をクリアし、それにより、電源17は±5VDCと±12VDCの各線によるシステムへの調整電力の供給を止める。

【0076】さらに、PDIサスペンドの場合はAUX5もオフになる。より具体的には、電源17内のバックアップ電力が電力を供給する場合、ONがクリアされると(PDIサスペンドの完了後)、電源17内の回路がAUX5をオフにする。UPS36がバックアップ電力を供給する場合は、PDIが活動状態で、ONがクリアされると、UPS36はその交流線出力2を低下させ、それにより、電源34からのAUX5をオフにする。

【0077】マイクロコントローラU2は、所与の外部事象が発生したときにもシステムを検出し、システムを左右することができる。EXT_RING信号は、ピン7(P0.1)から入力され、マイクロコントローラU2が電力供給された外部モデム902からの呼出し音を検出できるようにするものである。当業者には既知の通り、典型的な外部モデムは、チップを越えて呼出し音信号が検出されると周知のRS-232Cフォーマットで論理1に切り替わる呼出し音信号を出力し、電話回線を鳴らす。この信号は、ダイオードCR6によりマイクロコントローラU2にインタフェースされ、抵抗器R9およびR10によって分割され、最終的にEXT_RING線によりマイクロコントローラU2に入力される。このトグル信号は、マイクロコントローラU2によって25ミリ秒ごとにサンプリングされて分析されるが、マイ

クロコントローラは、2つの連続サンプルについてこの入力が論理1である場合に必ず呼出し音が存在すると見なす。この条件を満足すると、それに応答してマイクロコントローラU2はON信号をアサートし、それにより、電源17は±5VDCと±12VDCの各線によるシステムへの調整電力の供給を開始する。着信電話呼出しを検出するためにEXT_RING信号を使用する場合、外部で電力供給されたモデム902が存在しなければならない。

【0078】代わりに、運動センサ、盗難警報器センサ、音声起動センサ、光センサ、赤外線光センサ、「クラッパ(clapper)」タイプ・センサなど、RS-232仕様に適合する(またはそれがEXT_RING信号をアサートするほど十分近い)2進信号を供給する別の装置をEXT_RING線にインタフェースし、これを使用してシステムを起動することもできる。

【0079】図4および図10～図12に示すように、この実施例には、オプトアイソレータ(図示せず)OPTO1ベースの呼出し音検出回路を有する内部モデム900から電話呼出し音信号を検出するための備えが設けられている。多くの適当なオプトアイソレータがヒューレット・パッカード社などによって製造され、多くの販売元から広く市販されている。内部モデム900は、システム・プレーナ20の回路内に設計するか、または拡張スロット78の1つに配置することができる。後者の場合、モデム900は、オプトアイソレータOPTO1からの信号を図10～図12の電力管理回路の回路に電気的に接続できるようにBergまたは同様のコネクタを備えるように修正する必要がある。EXT_WAKEUP#信号は、マイクロコントローラU2のピン4(P0.2)から入力され、内部モデム900から呼出し音検出オプトアイソレータOPTO1からの信号を入力するために使用する。この信号は、抵抗器R8およびR5、ダイオードCR6、コンデンサC9を介してインタフェースされ、最終的にEXT_WAKEUP#線を介してマイクロコントローラU2に入力される。

【0080】オプトアイソレータOPTO1からのトグル信号は、マイクロコントローラU2によって検出されて分析されるが、マイクロコントローラは、EXT_WAKEUP上の信号の3つの連続信号周期が15.1Hz～69.1Hzの周波数を有する場合に必ず呼出し音が存在すると見なす。EXT_RINGに沿って呼出し音信号を出力するために電力供給が必要なEXT_RING信号回路とは異なり、内部モデム900は、通常はR5によってAUX5に引き上げられるEXT_WAKEUP#線に沿ってオプトアイソレータOPTO1が適当な信号を出力するように電力供給を受ける必要がない。

【0081】CPU40にはシステム管理割込み(SMI)がある。マイクロコントローラU2は、CPUのS

MIによってCPU40への割込みを行うことができる。システム管理割込み信号SMI__OUT#は、マイクロコントローラU2のピン3 (P3. 2) から出力され、オペレーティング・システムが割込みの妥当性検査を行うかまたはその他の方法で割込みを許可するのを待たずにマイクロコントローラU2がただちにCPU40への割込みを行えるようにするものである。SMI__OUT#は、CPUのSMI#ピンまたはメモリ制御チップ46上で検出される外部電力管理割込み (EPMI#) ピンに直接接続することができる。制御チップ46のEPMI#ピン上の信号は、通常、CPU40のSMI#ピンに接続されている制御チップ46の別のピンを介してその状態を渡す。好ましい実施例のSMI__OUT#はCPU40に直接結合されている。

【0082】SMI__OUT#線の状態は、マイクロコントローラU2内に位置し、CPU40によって書き込むことができる、書き込み可能レジスタ・ビットによって制御される。さらに、マイクロコントローラU2はSMI__OUT#信号をアサートし、それにより、(i) ACTIVITY#線上で検出された活動にตอบสนองして、(ii) マイクロコントローラU2により電源17がシステムへの調整電力の供給を停止する前に、(iii) PDI線上で検出されたPDIにตอบสนองして、または(iv) スイッチの押下げにตอบสนองして、CPU40への割込みを行うことができる。このような事象の一部または全部は、CPUからマイクロコントローラU2へのコマンドによって可能にしたり禁止することができる。

【0083】SMIルーチンに入る前に、CPU40内のマイクロコードはCPU40の状態をメモリへのまたはメモリからの特殊CPU状態保管域に保管する。その後、CPU40はSMI割込みハンドラを実行するが、これは以下の諸機能を実行するものである。CPUの状態を復元するため、SMI割込みハンドラはRSM (レジャー) 命令を出し、それにより、CPU40はそれ自体の状態を特殊保管域から復元する。

【0084】CPU40によりマイクロコントローラU2がCPUのSMIを介してCPU40への割込みを行う前に、CPU40はCMOS NVRAM96内の変数に値を書き込み、SMIの理由を示す。CMOS NVRAM96内のこの値はデフォルトの場合に00Hになり、マイクロコントローラU2により電源17が調整電力の供給を停止する前に発生するようにマイクロコントローラU2が非同期でCPU40への割込みを行っていることをCPU40に示す。各SMI後にCPU40は、CMOS NVRAM内のその変数を00Hに設定する。この値にตอบสนองして、CPU40は、まもなくマイクロコントローラU2によってシステムへの電力が低下することを想定して、所与のタスクを実行する。CPU40は、マイクロコントローラU2内の電力低下延長タイマを定期的に再始動することにより、マイクロコント

ローラU2がシステムへの電力を低下させるまでの期間を延長することができる。要約すると、CPU40がSMIの原因ではないときにSMIが発生すると、CMOS NVRAM96内の値は必ず00Hになる。その場合、SMIハンドラは、どの事象によってSMIが発生したかに基づいて、取るべき適切なアクションを決定する。

【0085】システム10が電力低下するまでのこの期間中、CPU40は、多数のタスクを実行することができる。たとえば、CPUは、最後の電源オン以来コンピュータ・システムが動作している期間など、後でハード・ドライブ31に書き込むべき所与の情報をCMOS NVRAM96に書き込む。さらに、ユーザは起動アラームを左右するパラメータのうちの1つまたは複数を変更している可能性があるので、CPUは、最新の起動時間値を再計算して、マイクロコントローラU2に書き込む。

【0086】CPU40によって書き込まれるその他の値としては、CPU40が254でサスペンド・ルーチンまでジャンプすることを示す01H、CPU40が454でレジャー・ルーチンまでジャンプすることを示す02H、CPU40がセグメントE000Hデータ構造で特殊CPU状態保管域をセットアップすることを示す0FFHなどがある。

【0087】マイクロコントローラには、ディスプレイ11のブランキングに関する制御権が与えられる。DISP__BLANK信号は、マイクロコントローラU2のピン1 (P3. 4) から出力され、ディスプレイ11のブランキングを直接制御する。2つのインバータU3DおよびU3Eは、DISP__BLANK信号とESYNC#線およびBLANK#線とのインタフェースを取る。DISP__BLANK信号が論理0 (GND) になっている場合、U3DおよびU3Eの出力は分離され、ビデオ制御装置56がビデオ信号を生成できるようになる。DISP__BLANKが論理1 (Vcc) であるとき、BLANK#とESYNC#は論理0 (GND) になっており、ビデオ制御装置56はビデオ信号の生成を止める。DISP__BLANK線の状態は、マイクロコントローラU2内に位置し、CPU40によって書き込むことができる、書き込み可能レジスタ・ビットによって制御される。システムが待機状態152に入ると、CPU40は、ディスプレイをブランキングするようにマイクロコントローラU2に指示する。さらに、DISP__BLANK線は、スイッチ21の閉鎖事象にตอบสนองして順次SETされ、次にCLEARされる。同様に、任意の活動割込み時の活動、この場合はINT1とINT12により、マイクロコントローラはDISP__BLANK線をCLEARし、それにより、ビデオ制御装置56がビデオ信号を生成できるようにする。

【0088】CLK__SLOW#は、マイクロコントロ

ーラU2のピン2 (P3. 3) から出力され、クロック合成器 (図示せず) を制御するために使用する。CLK_SLOW#線の状態は、マイクロコントローラU2内に位置し、CPU40によって書き込むことができる、書き込み可能レジスタ・ビットによって制御される。さらに、CLK_SLOW#線は、ACTIVITY#線における活動にตอบสนองしてマイクロコントローラU2によってクリアすることができる。ただし、当業者であれば、本発明では様々なクロック合成器を使用できることが分かるはずである。このようなクロック合成器の1つはCH9055Aであるが、これはChrontel社によって製造され、多くの販売元から広く市販されている。

【0089】さらに、マイクロコントローラU2は、電源/フィードバックLED23の点灯を直接制御する。LED_CNTRL信号は、ピン22 (P3. 6) から出力され、マイクロコントローラU2による電源/フィードバックLED23の直接制御を可能にする。抵抗器R2およびR3とダイオードCR4およびCR5により、LED_CNTRL線が論理0になっていることにตอบสนองして、AUX5電力線またはVCC電力線によって電源/フィードバックLED23を励起することができる。LED_CNTRL線が論理1になると、電源/フィードバックLED23は点灯しない。LED_CNTRL線の状態は、スイッチ21の閉鎖事象にตอบสนองして、起動アラームにตอบสนองして、呼出し音検出力での1回または複数回の呼出し音にตอบสนองして、あるいはシステム10が待機モードになったことにตอบสนองして、マイクロコントローラU2によって制御される。

【0090】マイクロコントローラU2は、単純な電源LEDになるようにLED23を制御することができる。このため、LED23はスイッチ21の閉鎖事象後に点灯するが、この事象によりシステムはオフ状態156またはサスペンド状態154から通常動作状態150に変化する。同様に、マイクロコントローラU2は、スイッチ21の解除事象後にLED23を消灯するが、この事象によりシステムは通常動作状態150からサスペンド状態154またはオフ状態156に変化する。

【0091】さらに、LED23は、マイクロコントローラU2によって毎秒などの特定の速度で選択的に明滅させ、システムが待機状態152になっていることを示すことができる。さらに、LED23は、マイクロコントローラU2によって0.5秒ごとなどの他の速度で選択的に明滅させ、システムが呼出し音またはアラームによって起動され、システムがオフ状態またはサスペンド状態になっていることを示すことができる。代わりに、サスペンド状態の間に、LED23は、マイクロコントローラU2によって明滅群で選択的に明滅させ、呼出し音、アラームなどの外部事象によってシステムの電力が上昇し、非活動サスペンド・タイマの時間切れによって電力が元のレベルに低下した回数を示すことができる。

この場合、BIOSには、OSおよびアプリケーション・プログラムによりマイクロコントローラU2がLED23を明滅させる回数を変更できるようにする1つまたは複数の機能が設けられている。

【0092】PWR_GOOD信号は、マイクロコントローラU2のピン4 (P3. 1) から入力され、マイクロコントローラU2とCPU40がこの信号を使用できるようにする。具体的には、マイクロコントローラはPWR_GOOD信号を使用し、電源17が故障しているかどうかを判定して障害条件をクリアするためのフィードバックベースの障害検出訂正回路を実現する。一定の期間 (たとえば、3秒間) ON信号がアサートされ、PWR_GOOD信号が論理0になっている場合、電源17が適正レベルの調整電圧を供給していないことを示し、マイクロコントローラU2は、電源17が過電流条件などにより故障しているものと想定する。そのため、できる限り障害条件をクリアするために、マイクロコントローラU2は、一定の期間 (たとえば、5秒間) ON信号のアサートを止めて、障害をクリアできるようにする。その後、マイクロコントローラU2は、ON信号を再アサートし、PWR_GOOD信号が論理1になり、電源17がシステムに調整電力を供給していることを示すまで待つ。このフィードバックベースの障害検出訂正を行わないと、電源17は故障したままになり、マイクロコントローラU2は、電源17が調整電力の発生を開始するように試みながら、ON信号をアサートし続けるはずである。唯一の解決策は、障害をクリアするために電源から交流電力を除去することであると思われる。

【0093】本発明では、電源17またはUPS36からのPDI制御信号がケーブルまたはその他のワイヤを介してマイクロコントローラU2のピン21 (P3. 7) に結合される。(ただし、一般にこのピンは未使用の汎用入出力ピンであり、多くのスーパー入出力チップ上で見られる任意の汎用入出力ピンを使用することに留意されたい。) BIOSはピンP3. 7をポーリングすることができ、PDIが活動状態のときは、交流電力障害を検出することができる。あるいは、マイクロコントローラU2は、交流電力障害を検出するために活動状態のPDIを感知するとSMIを生成するようにプログラミングすることができる。BIOSが活動状態のPDIを検出した後、またはマイクロコントローラU2がPDIを感知したときにSMIを生成した後、BIOSはサスペンド・ルーチン (図19～図25に関連して後述する) を実行することができる。この機構は、BIOSのセットアップによりユーザが使用可能/使用禁止にすることができる。

【0094】この実施例では、PDI信号は必ずしもマイクロコントローラU2の1つのピンに結合する必要がなく、その信号をシステム10が感知できなければならぬことに留意されたい。システムBIOS (前述の通

り) またはオペレーティング・システム (OS) はこのピン上のデータを監視することができるので、その信号が活動状態になっている場合、ディスクへのサスペンドが開始されるはずである。ただし、交流電力障害以前の任意の時点でユーザまたはBIOSがサスペンド可能フラグを設定しなければならないことに留意されたい。

【0095】ただし、交流電力障害以前の任意の時点でユーザまたはBIOSがサスペンド可能フラグを設定しなければならないことに留意されたい。

【0096】ACTIVITY#信号は、マイクロコントローラU2のピン19 (INT1) から入力され、キーボード12およびマウス13での活動に回答するためにマイクロコントローラU2が使用する。IRQ1はキーボード・ハードウェア割込み信号であって、第1のPAL U1のピン8 (17) から入力され、キーボード12上のキーを押すとIRQ1信号が発振する。IRQ12はマウス・ハードウェア割込み信号であって、第1のPAL U1のピン11 (19) から入力され、マウス13を動かすかまたはマウス13上のボタンを押すと、IRQ12信号が発振する。第1のPAL U1でIRQ1信号とIRQ12信号の論理ORが取られ、ACTIVITY#信号として出力される。ACTIVITY#信号を使用すると、マイクロコントローラU2は、キーボード12またはマウス13の活動をまったく見逃さなくなる。当業者であれば、その他の活動 (DMAアクセス、その他のIRQなど) 発生源をIRQ1およびIRQ12に容易に追加することができる。図10～図12に示すような「グリーン」チップセット (すなわち、低電力状態に入り、活動を監視することができるチップセット) は様々な発生源 (DMA、IRQ、入出力アクセス) からの活動を監視することができ、当業者であれば、その感知を容易に本発明に統合することができる。

【0097】待機状態の間にいずれかの割込みでの活動により、マイクロコントローラはただちにビデオ表示を復元する。割込みIRQ1とIRQ12をこのように使用すると、待機状態152から通常動作状態154に戻ったときにビデオ表示の復元という形式でユーザに対して即時フィードバックが行われる。このような割込みを使用しないと、ユーザは、APMがユーザ活動の有無を検査してから数秒経つまでフィードバックを受け取らない可能性がある。

【0098】CPU40とマイクロコントローラU2とのやりとりは、第1のPAL U1のピン18 (入出力6) から入力され、第1のPAL U1のピン13 (入出力3) から出力されてマイクロコントローラU2のピン13 (P1. 0) から入力されるRWD0線を介してマイクロコントローラU2に入力されるSD (0) と、マイクロコントローラU2のピン14 (p1. 1) から入力されるSD (1) と、マイクロコントローラU2の

ピン15 (p1. 2) から入力されるSD (2) と、マイクロコントローラU2のピン18 (p1. 3) から入力されるSD (3) と、第1のPAL U1のピン6

(15) から入力されるSD (4) と、マイクロコントローラU2のピン18 (INT0) から入力されるIO_STROBE#と、マイクロコントローラU2のピン20 (P1. 7) から出力されるPROC_RDYとを使用して行われる。第1のPAL U1およびマイクロコントローラU2は、(i) RWD0を介したSD

(0)、SD (1)、SD (2)、SD (3) に沿ってCPU40からマイクロコントローラU2へ行う4ビットの並列書込みであって、一方のアドレスは本質的にマイクロコントローラU2をリセットするための1ビットの書込みであり、もう一方のアドレスはデータ・ビットSD (4) がHIGHである場合のみ有効でマイクロコントローラU2に書き込まれるニブルであるような並列書込みと、(ii) RWD0を介したSD (0) に沿ってCPU40が行うマイクロコントローラU2からの直列(1ビット) 読取りであって、一方のアドレスは状況ビットに対応し、もう一方のアドレスはマイクロコントローラU2からのデータ・ビットに対応するような直列書込みとを行うように構成され、プログラミングされている。

【0099】図13は、マイクロコントローラU2内に維持されているスイッチ状態マシンを示している。同図に示すように、スイッチ21の閉鎖事象や、システム10のリセット、CPU40による書込みなど、その他の事象に回答して、状態が変化する。電源17によってAUX5が供給されない場合、マイクロコントローラU2は電力供給を受けていないので、174でのスイッチ状態は意味がないものである。交流電力を印加すると、AUX5がマイクロコントローラU2をリセットし、マイクロコントローラU2は状態176に入る。図10～図12に付随する本文に記載したように、スイッチ21の押下げ、いずれかの発生源からの電話呼出し音、アラーム時間タイマの時間切れ、CPU40からのコマンドにより、マイクロコントローラU2は、システム電力の供給を開始するように電源17に指示する。

【0100】図13に示すように、スイッチ21には、マイクロコントローラU2が監視する4通りの状態がある。すなわち、(i) オン/押下げ状態176 (ユーザがボタンを保持し、マシンをオンにしようとしている) と、(ii) オン/解除状態178 (ユーザがボタンを解除し、マシンをオンにしようとしている) と、(iii) オフ/押下げ状態180 (ユーザがボタンを保持し、マシンをオフにしようとしている) と、(iv) オフ/解除状態182 (ユーザがボタンを解除し、マシンをオフにしようとしている) である。次に、180でマイクロコントローラU2は、スイッチがオフ/解除状態になっていて、ユーザがボタンを解除し、マシンをオフにしよう

としていることを示しているかどうかをテストする。

【0101】状態182であって、スイッチ21が押される（または外部起動事象が発生する）と、マイクロコントローラU2はオン／押下げスイッチ状態176に入る。スイッチ21を解除すると、マイクロコントローラU2はオン／解除スイッチ状態178に入る。同様に、マイクロコントローラU2がリセットされると、スイッチは解除されているので、マイクロコントローラU2はオン／押下げ状態176に入り、次に素早く状態178に入る。もう一度スイッチ21を押すと（またはBIO
Sのソフト・スイッチ押下げにより）、マイクロコントローラU2はオフ／押下げスイッチ状態180に入る。もう一度スイッチ21を解除すると、マイクロコントローラU2はオフ／解除スイッチ状態182に入る。その後のスイッチ21の開鎖により、マイクロコントローラU2は、図13に示すように4通りの状態間を循環する。

【0102】コンピュータ・システム10が通常動作状態150になっている場合、マイクロコントローラU2はオン／解除スイッチ状態178になっている。アプリケーション・プログラムは、その状態になっている間に実行される。システム10は、その状態で待機状態152に入ったり、そこから出たりすることができる。また、この状態は、ユーザ生成のサスペンド打切り要求に対応する。オフ／解除スイッチ状態182は、ユーザによるサスペンド要求に対応するスイッチ状態である。すなわち、オフ状態156のシステムから開始し、スイッチ21を1回押して解除すると、コンピュータ・システムは通常動作状態150になる。スイッチ21をもう一度押して解除すると、サスペンド要求が生成されるが、これはスーパーバイザ・ルーチンによって読み取られる。システム10がサスペンド状態154になる前にもう一度スイッチ21を押して解除すると、サスペンド打切り要求が生成されるが、これはサスペンド・ルーチンによって読み取られる。

【0103】スーパーバイザ・ルーチン、最終要求APM機能ルーチン、最終要求APM拒否ルーチン、レジューム・ルーチン、CPU状態保管ルーチン、CPU状態復元ルーチン、8959状態保管ルーチン、ファイル割振り動的保管ルーチン、待機終了ルーチン、待機実行ルーチン、電力管理プロセッサ・ルーチンの詳細については、前述の関連出願を参照されたい。

【0104】本発明のコンピュータ・システム10のハードウェア面について説明してきたが、コード面については引き続き説明する。

【0105】次に図14～図18を参照すると、同図には、本発明によるブートアップ・ルーチンの詳細が示されている。ブートアップ・ルーチンは380から始まり、そこでCPU40は、リセット・ベクトルが指し示すコードまでジャンプし、そのコードを実行する。これ

は、CPUの電力が上昇するたびに行われ、リセット・ハードウェア信号でCPUがリセットされるかまたはリセット・ベクトルが指し示すコードまでジャンプすることによりRESET命令が実行されてCPUがリセットされると必ず行われる。このようなリセット手順は当技術分野では周知のものである。

【0106】第1のタスクは、382でCPU40をテストし、メモリ制御装置46を初期設定することである。CPUはPOSTルーチンによってテストされる。CPUテストの一部は、CPU40がSMIを有する「SL」強化部分であるかどうかを判定することである。そうである場合、このことを示すフラグがSETされる。前述のように、好ましい実施例のCPUは、SMIを有する「SL」強化部分である。メモリ制御装置46は、POSTルーチンによって初期設定される。

【0107】次に、ブートアップ・ルーチンは986で、マイクロコントローラU2が機能しているかどうかをテストする。このテストにより、マイクロコントローラU2が機能していないと判定された場合、前述のように、CPU40は988で、マイクロコントローラU2をリセットするように第1のPAL U1に命令する。次にCPU40は990で、マイクロコントローラU2が機能しているかどうかをもう一度検査する。U2が機能していないとCPUがもう一度判定した場合、CPU40は992で、マイクロコントローラU2はそれがリセットできないような状態になっていると想定して、本明細書に記載する電力管理機構を使用禁止にする。

【0108】これに対して、マイクロコントローラU2が機能している場合、CPU40はブート・プロセスを続行し、994でマイクロコントローラU2内の起動時間アラーム値をリフレッシュする。RTC98の時間基準はマイクロコントローラU2の時間基準よりかなり正確である。したがって、より正確でそのために高価な時間基準をマイクロコントローラU2に追加せずにこの制限を克服するために、BIO
Sは、正確度の低い時間基準を正確度の高い時間基準に同期させ、システムがブートするたびにRTC98から得たより正確な値でマイクロコントローラU2内の起動時間アラーム値を更新する。これを行うため、CPU40は、CMOSメモリ96から絶対アラーム日時を読み取り、起動時間アラーム値を計算し、それをマイクロコントローラU2に書き込む。

【0109】その後、マイクロコントローラU2が機能しておらず、電力管理機構が使用禁止になった場合、ブート・ルーチンは996で、電源17への電力の印加によりシステムがブートされたかどうかを判定する。電源17では、その1次／調整ユニット172に必ず交流電力が印加されていて、±5と±12の各線における電力の調整がON#入力によって制御されることが好ましい。このため、電源17は、電力管理回路106に電力

供給するのに必要なAUX5を終始供給することができ、交流電力そのものを切り替えさせずに電力管理回路106によって制御することができる。

【0110】しかし、当業者には既知の通り、ユーザによっては、切替え式電力ストリップ（図示せず）を使用して自分のコンピュータ・システムに電力供給し、単一スイッチでシステム全体への交流電力をオフ／オンにすることを望むものもある。これにより、電力管理回路106に関する問題が提起される。というのは、マイクロコントローラU2とその他の装置は、AUX5電力線によって終始電力供給されるように構成されているからである。したがって、システムは、交流電力の印加によって電力供給されたことを判定し、それに応じて動作する方法を備えていなければならない。

【0111】さらに、PDIサスペンドの完了後、AUX5線の電源がオフになる（前述の通り）。したがって、システムは、PDIサスペンド後の交流電力の印加後にマイクロコントローラが起動されたかどうかをさらに判定できなければならない。これは、交流電力が復旧し、その結果、AUX5が復旧したときに、後述のようにリセットが行われるように、PDIサスペンド中にBIOSがDEFAULT_ONを設定する（後述する）ことによって行われる。

【0112】そのため、996でCPUは、電源17をオンにするような事象についてマイクロコントローラU2に問い合わせる。マイクロコントローラは、（1）それがリセットされたので、電源17が±5と±12の各線で調整電力の供給を開始したか、（2）起動時間アラームが時間切れになったか、（3）RS-232呼出し音入力またはオプタイソレータOPTO1からの呼出し音入力のいずれかで呼出し音が発生したか、（4）スイッチ21が押されたという、4通りの応答のうちの1つを返すことができる。システムの電源がオンになった理由は、スケジューラなどのアプリケーション・プログラムによってマイクロコントローラU2から直接読み取ることができるが、そのプログラムはシステムの電力が上昇した特定の理由に応答して所与のプログラムを実行するはずである。あるいは、システムの電力が上昇した理由は1回または複数回のBIOS呼出しにより入手することができる。

【0113】CPU40によるリセット以外にマイクロコントローラU2をリセットするのはリセット副回路920のみであり、この回路はAUX5線が印加されるかまたはそれが異常電流を発生すると必ずマイクロコントローラをリセットする。したがって、マイクロコントローラU2がリセットされるか、または997でテストされるようにマイクロコントローラが無効な起動コードを返した場合、CPU40は998で、電源が±5と±12の各線で電力の調整を続行すべきかどうかを判定しなければならない。このため、DEFAULT_ONとい

うCMOS NVRAM内のフラグを使用する。このフラグがSETされている場合、電源17は、マイクロコントローラU2のリセット後も調整電力の供給を続行しなければならない。これに対して、DEFAULT_ONがSETされていない場合、電源17は、マイクロコントローラU2のリセット後に調整電力の供給を止めなければならないので、CPU40は1000で、電源17が±5と±12の各線での調整電力の供給を止めるようにマイクロコントローラU2に命令する。その後、電圧が約0まで低下するのに数秒かかるので、多数のコマンドを実行する時間がCPU40に与えられる。したがって、CPU40は1002でエンドレス・ループ（「スピン」）を実行する。というのは、CPU40は、1005でCPU40が機能を停止するまで、電源17が発生したシステム電源電圧が低下するのを待つからである。前述の通り、マイクロコントローラU2は、AUX5線によって終始電力供給を受け、そのプログラミング済みルーチンを実行し続けることが好ましい。

【0114】その後、997でマイクロコントローラが有効な起動コードを返した場合、または998でマイクロコントローラU2がリセットされたがシステムは電力供給された状態を維持する場合、1004でCPU40は、電源をオフにしなければならないとマイクロコントローラU2が判断した場合に電源17が±5と±12の各線での調整電力の供給を止める前にSMIを生成してCPU40に戻すようにマイクロコントローラU2に命令する。また、1004でCPUは、交流電力が途切れた場合に交流電力が再印加された後でシステム自体がオンに戻るように、CMOS NVRAMにDEFAULT_ONビットをSETする。

【0115】次にブート・ルーチンは、当業者には既知のように、1006で第1のプラグ・アンド・プレイ資源割振りバスを実行する。

【0116】次に383で、シャドウ・メモリがテストされ、ROM88からRAM53のシャドウ・メモリ部分にBIOSがコピーされる。実行されるコードの流れは、サスペンド・フラグがCMOS NVRAM96にSETされているかどうかによって決まる。サスペンド・フラグがSETされている場合、コンピュータ・システム10はサスペンド状態150になっているので、コンピュータ・システム10がサスペンドされたときの状態にコンピュータ・システム10を復元する必要がある。セグメントE000HとF000HのシステムRAM53には、簡略テストが行われる。コンピュータがレジュームするのに要する時間を短縮するため、メモリは、適正サイズになっているかどうかを検査され、0になるだけである（各位置に000Hが書き込まれる）。

【0117】これに対して、サスペンド・フラグがCMOS NVRAM96でCLEARされている場合、セグメントE000HとF000HのシステムRAM53

には、(1)スティッキービット・テストと、(2)2ビット・メモリ・テストと、(3)交差アドレス線テストとを含む、標準の徹底的なメモリ・テストが行われる。これらのテストは、当技術分野では周知のものである。

【0118】セグメントE000HとF000Hのテスト後、ROM BIOS88の内容をシステムRAM53にコピーすることと、RAMからBIOSを実行するようにメモリ制御装置を構成することを含む、BIOSをシャドウ化することができる。BIOSのシャドウ化は、システム速度を上げるために行われる。すなわち、BIOSは低速のROM88（典型的なアクセス時間は250ナノ秒）ではなく高速のシステムRAM53（典型的なアクセス時間は80ナノ秒）から実行されているので、システム・パフォーマンスが強化される。BIOSのシャドウ化は、下位メモリ内のアドレスにBIOSコピーをロードすることと、ROM88からシステムRAM53のセグメントE000HとF000HにBIOSをコピーすることと、シャドウRAMを使用可能にすることを含む。

【0119】次に384で、ビデオ制御装置56がテストされて初期設定され、ビデオ・メモリ58がテストされる。このようなテストと初期設定は、当技術分野では周知のものである。

【0120】次にブート・ルーチンは、当業者には既知のように、1008で第2のプラグ・アンド・プレイ資源割り振りバスを実行する。

【0121】実行されるコードの流れは、386でサスペンド・フラグがCMOS NVRAM96にSETされているかどうかによって決まる。サスペンド・フラグがSETされている場合、タスク383のように、残りのシステムRAM53がサイズの検査を受け、0になるだけである。しかし、サスペンド・フラグがCMOS NVRAM96でCLEARされている場合、タスク383に付随する本文に記載した3ステップの徹底的なメモリ・テストを使ってタスク398で残りのシステムRAM53がテストされる。

【0122】メモリのテスト後、400で、8259、UART、8042、その他の装置を含む補助装置がテストされ、初期設定される。タスク408では、固定ディスク制御装置が初期設定される。

【0123】実行されるコードの流れは、409でサスペンド・フラグがNVRAM96にSETされているかどうかによって決まる。サスペンド・フラグがSETされ、電力を最後に除去したときにシステムの状態が正常に保管されたことを示す場合、ブートアップ・ルーチンは、ハード・ドライブ制御装置86とハード・ドライブ31のテストをスキップする。これに対して、サスペンド・フラグがCMOS NVRAM96でCLEARされていて、電力を最後に除去したときにシステムの状態が

保管されなかったことを示す場合、ブートアップ・ルーチンは、当技術分野で周知のように、タスク410で固定ディスク制御装置86とハード・ドライブ31の完全なテストを実行する。

【0124】次に412で、フロッピー・ドライブ制御装置84がテストされ、初期設定される。

【0125】この時点ですべての装置が初期設定され、ベクトルは既知の位置を指し示すので、すべての割り込みルーチンは予想通りに機能するようになる。したがって、ブートアップ・ルーチンは414で、BIOSデータ域およびベクトル・テーブルのスナップショットをとり、これによりBIOSデータ域およびベクトル・テーブルのコピーがセグメントE000H内のデータ構造に書き込まれる。BIOSデータ域およびベクトル・テーブルのこのコピーは、すべての割り込みが予想通り機能する場合にコンピュータ・システム10を既知の状態にするために、タスク274でサスペンド・ルーチンが使用するものである。

【0126】次に416で、当技術分野で周知のように、BIOS拡張機能の「スキャン・イン」と初期設定が行われる。BIOS拡張機能は、ネットワーク・アダプタなど、周辺アダプタによってシステムに追加されたBIOSコードのブロックである。通常、BIOS拡張機能はISAバス76上のセグメントC000HおよびD000Hに位置し、BIOS拡張機能を識別するための関連「シグナチャ」を備えている。BIOS拡張機能が検出されると、その長さが検査され、チェックサムが計算され検査される。シグナチャ、長さ、チェックサムのすべてが有効なBIOS拡張機能が存在することを示している場合、プログラム制御はシグナチャより3バイト後ろに位置する命令に渡り、BIOS拡張機能は周辺アダプタの初期設定など、必要なタスクを実行することができる。拡張機能が実行を終了すると、制御はブートアップ・ルーチンに戻り、そのルーチンは追加のBIOS拡張機能があるかどうか探索する。追加のBIOS拡張機能は、上記のBIOS拡張機能のように処理される。追加のBIOS拡張機能がまったく検出されない場合、ブートアップ・ルーチンはタスク417に移行する。

【0127】417でブートアップ・ルーチンは、サスペンド・ファイル用に特に割り振られた区分だと思われるハード・ドライブ31上の区分を探索する。PS/1識別子「FE」が付いている区分または区分テーブルの識別子「84」が付いている冬眠区分(hibernation partition)が検出され、その区分がこの特定のシステム用のサスペンド・ファイルを収容できるだけの十分な大きさである場合、その区分はサスペンド・ファイルに使用される。そのため、サスペンド・ファイル・シグナチャはその区域の1バイト目に書き込まれ、その区域の開始ヘッド、セクタ、シリンダはCMOS NVRAM9

6に書き込まれる。

【0128】実行されるコードの流れは、418でサスペンド・フラグがCMOS NVRAM96にSETされているかどうかに応じて分岐する。サスペンド・フラグがクリアされている場合、ブートアップ・ルーチンは420でPBOOTルーチンに制御権を渡す。PBOOTは当技術分野では周知のものであり、フロッピー・ディスクまたはハード・ドライブ31のいずれかからのオペレーティング・システム(OS)とコマンド・インタープリタのロードを担当する。タスク417でサスペンド・ファイル用の区分が検出されなかった場合、OSは、区分が検出されたかどうかを検査するOS固有のドライバを実行し、検出されなかった場合にはファイル割振りテーブル(FAT)内の連続セクタのファイル(必要に応じて1つの区域の断片化を解消する)を割り振り、サスペンド・ファイルの1バイト目にシグナチャを書き込み、CMOS NVRAM96にサスペンド・ファイルの開始ヘッド、セクタ、シリンダを書き込む。

【0129】サスペンド・ファイルがいつ割り振られたかにかかわらず、このファイルは、サスペンドおよびレ
 ジューム中にディスクへの高速書き込みとディスクからの
 高速読取りを可能にするように連続セクタになってい
 なければならない。

【0130】次にOSは、CONFIG.SYSファイルで検出された命令に基づいて、システムを構成する。最後にOSは、AUTOEXEC.BATファイルを実行するが、これは最終的に実行制御権をオペレーティング・システムに返す。サ
 スペンド・フラグがCMOS NVRAM96でクリアされてい
 て、電力が最後に除去されたときにシステムの状態が
 保管されなかったことを示している場合、RESUME.E
 XEは無視される。このファイルについては、タスク42
 1に付随する本文で詳述する。

【0131】タスク418に戻って参照すると、サスペ
 ンド・フラグがCMOS NVRAM96に設定されて
 いて、電力が最後に除去されたときにシステムの状態が
 保管されたことを示している場合、実行されるコードの
 流れは、419でアダプタ再初期設定フラグがCMOS
 NVRAM96にSETされているかどうかに応じて
 分岐する。アダプタ再初期設定フラグが設定されている
 場合、ブートアップ・ルーチンは421で制御権をPB
 OOTルーチンに渡す。通常のPBOOTルーチンのよう
 に、本発明のPBOOTもOSをロードし、これがCO
 NFIG.SYSおよびAUTOEXEC.BATの各ファイルで検出された
 コマンドに応じてシステムを構成し、これらのファイル
 は当技術分野で周知の通り、特にドライバをロードし、
 システムを構成する。

【0132】CONFIG.SYSおよびAUTOEXEC.BAT内のコマン
 ドは、システム内のアダプタ・カードを初期設定するこ
 とができる。本出願では、3通りのタイプのアダプタ・
 カードが存在すると仮定している。すなわち、タイプI

のアダプタは初期設定が不要であり、タイプIIのアダ
 プタは初期設定が必要であるが、CONFIG.SYSまたはAUTOEX
 EC.BATファイルに応じてロードされるドライバまたはB
 IOS拡張機能によって既知の作業状態になり、タイプ
 IIIのアダプタはシステム上で実行されるコードによっ
 て変更される。タイプIとタイプIIのアダプタを含むシ
 ステムは、サスペンドし復元することができるが、多く
 のネットワーキング・アダプタを含むタイプIIIのアダ
 プタを含むシステムは、システム電力の除去などの所与
 の条件が発生した後でアダプタを再初期設定するような
 関連のAPM認識デバイス・ドライバをそのカードが備
 えていない限り、復元することができない。システム
 は、APM認識デバイス・ドライバを備えているタイプ
 IIIカードをサスペンドすることができる。

【0133】RESUME.EXEファイルはAUTOEXEC.BATファイ
 ルに追加され、OSからレジューム・ルーチンへのプロ
 グラム制御の移転を担当する。タスク420でOSはRE
 SUME.EXEの存在を無視するが、タスク421のOSはRE
 SUME.EXEを実行し、このファイルは、CONFIG.SYSとAUTO
 EXEC.BATからOSによってロードされたデバイス・ドラ
 イバによるタイプIIのアダプタの初期設定が終了すると
 レジューム・ルーチンに制御権を渡す。

【0134】タスク419に戻って参照すると、アダプ
 タ再初期設定フラグがCMOS96でクリアされている
 場合、OSはRESUME.EXEを介してレジューム・ルーチン
 に実行制御権を渡す。レジューム・ルーチンはハード・
 ドライブ上のサスペンド・ファイルからシステム状態を
 復元する。

【0135】次に図19～図25に移行すると、これら
 の図には、本発明によるサスペンド・ルーチンが示され
 ている。このサスペンド・ルーチンは基本的に、システ
 ム10が通常動作状態150(または待機状態152)
 を出て、サスペンド状態154に入るようにするもので
 あり、いくつかの命令後(システムがサスペンドできる
 状態になっていない場合)、または数分、数時間、数
 日、数週間、または数年後(システムがサスペンドされ
 レジュームされた場合)にスーパーバイザ・ルーチンに制
 御権を返すことができる。サスペンド・ルーチンは、サ
 スペンドせずに復帰するか、完全なサスペンドおよびレ
 ジュームの後で復帰するかにかかわらず、必ず「通常レ
 ジューム」APM戻りコードをSETする。

【0136】図19～図25に示すサスペンド・ルーチ
 ンは250から始まる。このサスペンド・ルーチンは、
 スーパーバイザ・ルーチンがAPMに「サスペンド要求」
 APM戻りコードを返したことに応答してAPMによっ
 て呼び出される。さらに、システムがチェックポイント
 を実行すると、サスペンド・ルーチンが呼び出され、部
 分的に実行される。第1に、サスペンド・ルーチンの流
 れは、970でCPU40がSMIを有するS部分であ
 るかどうかによって決まる。前述の通り、好ましい実施

例のCPUは「SL」強化部分である。CPU40はSMIを有する「SL」強化部分であるので、CPU40によりマイクロコントローラU2は972でSMIを生成してCPU40に戻す。SMIのに回答して、974で当業者には既知の通り、CPU40内のマイクロコードがCPU40レジスタの状態をセグメントE000Hデータ構造に保管し、その時点でCPU40は実モードになっている。

【0137】CPU40がSMIを備えた「SL」強化部分ではなかった場合、252でCPU状態保管ルーチンが呼び出されるはずである。CPU状態保管ルーチンについては、上記の出願に詳述されている。ここでは、サスペンド・ルーチンが最初に呼び出されたときにCPU40がどのモードになっても、サスペンド・ルーチンの残りの部分は実モードのCPU40で実行されると述べるだけで十分である。

【0138】CPU状態保管ルーチンが復帰した後またはCPUがSMIに回答してそれ自体の状態を保管した後、サスペンド・ルーチンは254で、スイッチ21が押されたかどうかを確認する。スイッチ21の閉鎖は、図10～図13に付随する本文に記載した通りにテストされる。スイッチが押されていない場合、進行中のサスペンドはソフトウェアサスペンドであり、ソフトウェア・サスペンド・フラグがCMOS NVRAM96にSETされている。これにより、スイッチの閉鎖によって開始されたハードウェア・サスペンドとソフトウェア・サスペンドが混同されなくなる。どのソフトウェア・サスペンドも、マイクロコントローラU2に1つのビットを設定することにより、ハードウェア・サスペンドに変換される。ソフトウェア・サスペンドからハードウェア・サスペンドへの変換後、次にスイッチを閉鎖すると、サスペンドが打ち切られる。

【0139】次のタスクは、262に示すようにセグメントE000Hでスタックをセットアップすることである。

【0140】スタックのセットアップ後、サスペンド・ルーチンは264で、DMA制御装置72と、ディスク・アダプタ84と、IDEディスク制御装置86とを検査し、DMA転送、フロッピー・ドライブ転送、ハードファイル転送がそれぞれ、現在進行中かどうかを確認する。進行中である場合、サスペンドを行うことはできない。というのは、このような3通りのタイプの転送に固有の特性が、十分なサスペンドの実行の妨げとなるからである。したがって、このような3通りのタイプの転送のいずれかが進行中である場合、DMAおよびディスク制御装置の活動の有無がもう一度テストされる、次のAPM獲得事象まで、サスペンドが延期される。

【0141】そのため、APMに制御権を戻すことができるように、252、260、262で行われるテスト

を逆にする必要がある。第1に、265に示すように、BIOSを読み取り／書き込みから読み取り専用に変更する。これは、いまだにシャドウ化したデータを含んでいるセグメントE000Hを閉鎖することによって行われる。タスク262で作成されたスタックは、ポッピングされ、復元される。最後に、266でCPU状態がCPU状態復元ルーチンによって復元されてから、267でAPMに制御権が戻される。次の獲得事象中の約1秒の間、APMによってサスペンド・ルーチンがもう一度ポーリングされる。その時まで、サスペンド・プロセスを妨げていた転送（複数可）はおそらく完了し、サスペンドを続行できるようになる。

【0142】タスク264に戻ると、DMA転送、フロッピー・ドライブ転送、ハードファイル転送がいずれも現在進行中ではない場合、サスペンドを実行することができる。サスペンド・ルーチンは268に継続する。フェールセーフ・タイマは、引き続きカウント・ダウンしており、スイッチ21がオフ／解除状態になっている間にそのタイマが時間切れになるとシステムを自動的にオフにすることを思い出していただきたい。したがって、第1のタスクは、268に示すように、図10～図12に付随する本文に記載したフェールセーフ・タイマをリセットすることである。

【0143】次に270で、8042補助プロセッサ104の状態が保管される。8042補助プロセッサ104のレジスタは、当技術分野では周知のものである。このレジスタはCPU40によって直接読み取り可能であり、それぞれの値はE000Hのデータ構造に直接書き込まれる。

【0144】次に272で、8259割り込み制御装置92の状態が保管される。サスペンド・ルーチンは8259状態保管ルーチンを呼び出すが、このルーチンについては上記の関連出願に詳述されている。ここでは、レジスタの一部が書き込み専用であっても、8259状態保管ルーチンが2つの8259割り込み制御装置92の未知のレジスタの内容を確認すると述べるだけで十分である。レジスタ値は、E000Hのデータ構造に直接書き込まれる。

【0145】割り込み制御装置92の状態が保管された後、サスペンド・ルーチンによって実行される様々な割り込み駆動タスクが適切に機能できるように、割り込み制御装置92の構成を既知の状態に変更しなければならない。したがって、274でBIOSデータ域およびベクトル・テーブルがスワップされる。サスペンド・ルーチンは、セグメントE000H内の現状のBIOSデータ域およびベクトル・テーブルの内容をセグメントE000H内の位置にコピーする。次に、既知の状態のBIOSデータ域およびベクトル・テーブルの内容がセグメントE000H内のデータ構造からセグメントE000H内の位置にコピーされる。既知の状態のBIOSデータ

域およびベクトル・テーブルは、図14～図18に示し、前述したブートアップ・ルーチンのタスク414でセグメントE000Hにコピーされる。最後に、現状のBIOSデータ域およびベクトル・テーブルがセグメント0000HからセグメントE000H内のデータ構造にコピーされる。274でルーチンが終了すると、割込み13H（ディスク読取り／書込み）と割込み10H（ビデオ・アクセス）などのすべての割込みは予想通りに機能するようになる。

【0146】次に276で、タイマ102とIDEディスク制御装置86の状態が保管される。タイマとIDEディスク制御装置のレジスタは、当技術分野では周知のものである。いずれのレジスタもCPU40によって直接読取り可能であり、それぞれの値はE000Hのデータ構造に直接書き込まれる。

【0147】次のステップは、ハード・ドライブ31上のサスペンド・ファイルに書き込むべきシステム・メモリを準備することである。システム・メモリは、システムRAM53（メイン・メモリと任意の拡張メモリの両方を含む）とビデオ・メモリ58とを含む。この時点で、RAM53の一部分が外部キャッシュ60に入っている場合もある。CPUキャッシュは、CPU状態保管ルーチン中にフラッシュされている。次に外部キャッシュは、286でフラッシュされ、ハード・ドライブ31への書き込みを促進するために使用可能になる。

【0148】システム10上で実行中のコードは、IDE制御装置86を未知の状態にしている可能性がある。そのため、次のステップは、292でIDE制御装置86を既知の状態に初期設定することである。これは、IDE制御装置86内のレジスタに値を直接書き込むことによって行われる。

【0149】次に976で、任意のモデムの状態を読み取ってE000Hデータ構造に保管するための割込み駆動並列スレッドが始動する。このルーチンは、特定のモデムに関連するCOMMポートに対応する割込みを収集し、モデムがそのレジスタの内容を順次伝送して戻すようにモデムにコマンドを送信し、モデムからのレジスタ内容の伝送を受信し、レジスタ値をE000Hデータ構造に保管する。このルーチンは、第1のコマンドをモデムに送信し、モデムのすべてのレジスタが保管されるまで、モデムの応答を受信し、各COMMポート割込みに応答して次のコマンドをモデムに送信するという割込み駆動方式で応答する。並列スレッドとして実行されない場合、このルーチンは、システムをサスペンドするのに要する時間に数秒間（特定のモデムと現行のボー・レートに応じて、モデム当たり3～5秒間）追加することになるはずである。それは割込み駆動並列スレッドなので、システム状態がハード・ドライブ31に書き込まれる前に実行を完了する場合は、ほとんどまたはまったくサスペンドに時間を追加しない。

【0150】割込み駆動並列スレッド・モデム保管ルーチンの始動後、294でハード・ドライブ31内の固定ディスク上でサスペンド・ファイルを突き止める必要がある。サスペンド・ファイルのヘッド、セクタ、シリンダはCMOSメモリ96に格納される。サスペンド・ファイルを突き止めると、ファイル・サイズとシグナチャが読み取られる。シグナチャは、サスペンド・ファイルの存在を示す、任意の長さのASCIIコードであることが好ましい。ハード・ファイル・システム上で任意に検出される確率が極めて低い2進ストリングを使用するなど、それ以外のシグナチャの代替実施態様も可能である。

【0151】サスペンド・ファイルのファイル・サイズとシグナチャを読み取った後、次のステップは、296でシグナチャとファイル・サイズが正しいことを確認することである。シグナチャが間違っていて、別のプログラムがサスペンド・ファイルを変更した可能性があることを示す場合、またはファイル・サイズが正しくなくて、サスペンド・ファイル・サイズが変更されたことを示す場合、サスペンド・ルーチンは298で致命的サスペンド・エラー・ルーチンを呼び出す。致命的サスペンド・エラー・ルーチンを終了するためにユーザがスイッチ17を押した場合、プログラム制御はタスク299からタスク506にジャンプする。

【0152】これに対して、シグナチャが正しく、サスペンド・ファイルが十分な大きさである場合、サスペンド・ルーチンは、コンピュータ・システムの状態をメモリに書き込む作業を続行することができる。

【0153】コンピュータ・システム10の状態をハード・ドライブ31に書き込む前に、CPU40は297で、フェールセーフ・タイマを再始動（リセット）するようにマイクロコントローラU2に命令し、スイッチ21がもう一度押されたかどうかを判定するためにマイクロコントローラU2に問い合わせる。スイッチ21がもう一度押されていない場合、サスペンドは続行しなければならない。これに対して、スイッチ21がもう一度押された場合は、サスペンドが打ち切られる。フェールセーフ・タイマは再始動され、スイッチ21はサスペンド・ルーチン内のいくつかの点で閉鎖の有無がテストされる。タスク297は例示にすぎないので、当技術分野に精通した回路設計者は、フェールセーフ・タイマの再始動の回数とその間の許容時間を決定することができるはずである。サスペンド・ルーチンは、時間切れになる前にフェールセーフ・タイマを再始動し、マイクロコントローラU2が電源17を「オフ」にするようにしなければならない。同様に、時折、スイッチ21を検査しなければならない。スイッチ21がもう一度押され、ユーザがサスペンドの打ち切りを希望していることを示す場合、コードはレジューム・ルーチン内の適切な点までジャンプして、「サスペンド解除」し、部分サスペンドから回

復しなければならない。

【0154】同様に、350でCtrl-Alt-Delによりサスペンドが打ち切られる。Ctrl-Alt-Deleteを押す(Contr
olキーと、Altキーと、Deleteキーを同時に押す)方法
は、IBMのBIOSとインテル社の80X86系CP
Uに基づく典型的なコンピュータ・システムをリセット
するための周知の方法である。コンピュータ・システム
10は、当技術分野で周知の通り、BIOSの割込み1
ハンドラによってCtrl-Alt-Delを処理する。また、コン
ピュータ・システム10は350でわずかに変更した割
込み1ハンドラを有し、そのハンドラは352でCMO
Sメモリ96内のサスペンド・フラグをクリアし、35
4でリセット時にブートアップ・ルーチンまでジャンプ
する。

【0155】本発明のコンピュータ・システム10で
は、サスペンド・ルーチンの実行中にCtrl-Alt-Delを押
すと、システム10がオフ状態156に入る。このよう
な事態になるのは、スイッチ21の閉鎖後にCtrl-Alt-D
elを押すとブートアップ・ルーチンが呼び出され、ブ
ートアップ・ルーチンが、フェールセーフ・タイマが時間
切れになったがスイッチがいまだにオフ/解除状態にな
っているという状態にマイクロコントローラU2を初期
設定するからである。したがって、サスペンド・ルーチ
ンの最中にCtrl-Alt-Delを押すと、コンピュータ・シ
ステム10がオフ状態156に入る。

【0156】次にタスク300を参照すると、300で
はハード・ドライブ31上でサスペンド・ファイルがも
う一度突き止められ、シグナチャ・フレーズがサスペ
ンド・ファイルの1バイト目に書き込まれる。次に302
で、セグメントE000H内の64キロバイトのデータ
全体がサスペンド・ファイルに書き込まれる。このE0
00Hの64Kコピーは、実際はプレース・ホルダにす
ぎず、サスペンド・ルーチンの終了時にこれと同じ位置
に再書き込まれる。

【0157】次に303で、ビデオ制御装置56の状態
が保管される。ビデオ制御装置56のレジスタは、当技
術分野では周知のものである。いずれのレジスタもCP
U40によって直接読取り可能であり、それぞれの値は
E000H内のデータ構造に直接書き込まれる。

【0158】次に、システム・メモリがサスペンド・フ
ァイルに書き込まれる。これは、システム・メモリから
データを読み取り、それを圧縮してセグメントE000
Hに書き込み、最後にセグメントE000Hからの圧縮
データをサスペンド・ファイルに書き込むという、ツイ
ンバッファ・システムによって行われる。2つのルーチ
ンが時間多重構成で動作する。すなわち、一方はデータ
を圧縮してセグメントE000Hに書き込み、もう一方
はサスペンド・ファイルに書き込む。前者は前景で動作
し、後者は背景で動作する割込み駆動ルーチンである。
CPU40は1つだけなので、所与の時点で1つのルー

チンしか実行できないことは明らかであるが、後者のルー
ーチンは割込み駆動なので、サスペンド・ファイルへの
データ転送の速度を最適化するために必要に応じて前者
のルーチンの実行に割り込むことができる。2つのバッ
ファのそれぞれは長さが8キロバイトであり、ハード・
ドライブ31への転送時間を最適化するものと思われる。

【0159】このプロセスは、第1の8Kバッファを充
填するのに十分なデータの読取り、圧縮、セグメントE
000Hへの書き込みにより、304から始まる。データ
はラン・レングス符号化方式を使用して圧縮されるが、
適当な圧縮方法であればどれを使用してもよい。この時
点で、全体が307に示されているバッファからの書き
込みルーチンが306で始動する。バッファからの書き
込みルーチン307は、背景で動作する割込み駆動ルーチ
ンであり、タスク308~310で構成される。全体が3
11に示されている圧縮ルーチンは、タスク312~3
18を含み、前景ルーチンである。第1に、バッファか
らの書き込みルーチン307は、308でタスク304で
充填したばかりのバッファをサスペンド・ファイルに書
き込む。バッファからの書き込みルーチン307がそのバ
ッファの内容をサスペンド・ファイルに書き込んでい
る間に、圧縮ルーチン311は、312でシステム・メモ
リからの次のバイトの読取りと、その圧縮と、2つの8
Kバッファのうちのもう一方への圧縮データの書き込みを
続行する。圧縮ルーチン311が圧縮データでバッファ
を充填すると、次のステップは、314でシステム・メモ
リ全体がまだ圧縮されているかどうかを判定すること
である。

【0160】IDE制御装置86は、あまり高速でハー
ド・ドライブ31にデータを書き込むことができない。
その結果、圧縮ルーチン311は必ず、バッファからの
書き込みルーチン307がハード・ドライブ31へのバッ
ファの書き込みを終了する前に、ハード・ドライブ31に
書き込まれていない8Kバッファの充填を終了すること
になる。したがって、圧縮ルーチン311は、バッファ
からの書き込みルーチン307がハード・ドライブ31へ
のバッファの書き込みを終了するまで待たなければなら
ない。圧縮ルーチン311がすべてのシステム・メモリの
圧縮と書き込みを終了していない場合、圧縮ルーチン31
1は、316でバッファからの書き込みルーチン307を
待つ。圧縮ルーチン311とバッファからの書き込みルー
チン307は1組のフラグを介してやりとりする。バッ
ファからの書き込みルーチン307がサスペンド・ファイ
ルへの現行バッファの書き込みを終了すると、ルーチン3
07は次にバッファ・フラグを切り替えて、サスペンド
・ファイルに書き込んだばかりのバッファへの圧縮デー
タの充填を開始できることを圧縮ルーチン311に示
す。次に、タスク297に付随する本文で説明したよう
に、309でフェールセーフ・タイマC2がリセットさ

れ、スイッチ 21 の開鎖事象の有無が検査される。

【0161】次にバッファへの書き込みルーチン 307 は、310 で、サスペンド・ファイルに書き込んだばかりのバッファが書き込むべき最後のバッファであるかどうかを判断する。最後のバッファではない場合、バッファからの書き込みルーチンは、圧縮ルーチン 311 によって充填したばかりのバッファをサスペンド・ファイルに書き込む。その間に、圧縮ルーチン 311 は、バッファ・フラグを検査することにより、バッファが追加の圧縮システム・メモリ用に準備されていることを判定している。すなわち、圧縮ルーチンは 316 で、バッファからの書き込みルーチンが現行バッファを終了するまで待ち、その時点で圧縮ループが 312 で続行される。ただし、ビデオ・メモリ 58 は、線形フレーム・バッファがサポートされている場合は圧縮されるが、VESA ページ・アクセスの場合は圧縮されないことに留意されたい。VESA ページ・アクセス・ビデオ・メモリは、むしろ、VESA 呼出しを使用してビデオ制御装置 56 から読み取られ、上記に詳述したツインバッファ・システムを使用して圧縮なしで書き込まれる。

【0162】圧縮ルーチン 311 は、すべてのシステム・メモリの圧縮を終了すると、318 でバッファからの書き込みルーチン 307 がサスペンド・ファイルへの最後のバッファの書き込みを終了するまで待つ。バッファからの書き込みルーチン 307 は、終了すると 310 から 318 に分岐し、存在しなくなる。この時点では、背景ルーチンは一切実行されておらず、メイン・プログラムは 320 に続行する。

【0163】次にタスク 320 で、DMA ユニット 71 (DMA 制御装置 72 と中央アービタ 82)、8207 30 7 ディスケット制御装置 84、RS-232 UART 94 の状態が保管される。これらの装置は、当技術分野で周知のレジスタを備えている。ディスク制御装置 84 と UART 94 内のすべてのレジスタは CPU 40 によって直接読取り可能であり、それぞれの値は E000 H 内のデータ構造に直接書き込まれる。DMA ユニットは、すべて読取り可能なレジスタを備えているわけではない。むしろ、通常は各 DMA 転送前に書き込み専用レジスタがセットアップされる。このため、DMA 転送が進行中の場合、サスペンド・ルーチンはサスペンドを停止 40 する。

【0164】次に 978 でサスペンド・ルーチンは、タスク 976 に付随する本文に記載した割込み駆動モデム状態ルーチンが終了しているかどうかをテストする。終了していない場合は、そのルーチンが終了するまで待つ。

【0165】コンピュータ・システム 10 がサスペンド状態 150 に入った後にサスペンド・ファイルに対して行った操作はすべて検出できることが望ましいと思われる。たとえば、誰かが変更したサスペンド・ファイルを

生成したり、そのサスペンド・ファイルをハード・ドライブ 31 に移動したり、コンピュータ・システム 10 を保管した状態以外の状態に復元しようと試みることもあり得ることである。このため、セグメント E000H のデータ構造には擬似ランダム値が置かれている。328 に示すように、割込み駆動モデム状態保管ルーチンの終了後、高速タイマ 102 の 1 つから 16 ビットのタイムスタンプが読み取られる。このタイプスタンプは、その後、セグメント E000H のデータ構造に書き込まれる。

【0166】次に、繰上りビットを考慮せずに E000 H 内の各 16 ビット・ワードをまとめて加算することにより、E000H セグメント全体用の 16 ビットのチェックサムが計算される。このチェックサムは、330 でセグメント E000H のデータ・セグメントに書き込まれ、332 で NVRAM 96 に書き込まれる。その後、334 ですべての作業変数が CPU 40 からセグメント E000H のデータ構造に書き込まれ、336 でサスペンド・ファイルのシグナチャ・フレーズ以降 (シグナチャのすぐ後) のサスペンド・ファイルにセグメント E000H 全体が再書き込まれる。次に、338 でサスペンド・フラグが NVRAM 96 に SET され、コンピュータ・システム 10 の状態がサスペンド・ファイルに保管されたことをシステム 10 に通知する。

【0167】次にサスペンド・ルーチンは、980 でチェックポイントが取られているかどうかを判定する。取られている場合、システムは電力低下していないはずであり、むしろ、実行したばかりの部分サスペンドから回復するのに必要な範囲でシステムをレジュームしなければならない。したがって、チェックポイントが取られている場合、サスペンド・ルーチンは 982 で、レジューム・ルーチンのタスク 484 までジャンプし、次にレジューム・ルーチンが部分レジュームを実行する。

【0168】チェックポイントが取られていない場合、サスペンド・ルーチンは 981 で、活動 PDI 信号のためにそのルーチンに入ったかどうかを検査する。活動 PDI 信号のためにサスペンド・ルーチンに入った場合、サスペンド・ルーチンは 983 で、PDI がまだ活動状態になっているかどうかを検査する。PDI が活動状態ではない場合、サスペンド・ルーチンはタスク 982 までジャンプし、そこでサスペンドが打ち切られ、システムはその通常動作状態にレジュームする。これは、電力障害のためにサスペンド・ルーチンに入った場合 (PDI サスペンド) などに行われるはずであり、タスク 981 に達する前に交流電力が回復し、その結果、PDI 信号が非活動化されるはずである。したがって、このような状況では、サスペンドが打ち切られ、システムはその通常動作状態に戻る。

【0169】タスク 983 に戻って参照すると、PDI がまだ活動状態である場合、電力が復旧したときにシス

テム 10 がブートアップし、サスペンド状態から通常動作状態に変化する (レジュームする) ように、985 で DEFAULT_ON ビットが設定される。

【0170】サスペンドが交流電力障害によるものではなく、チェックポイントが取られていない場合 (タスク 980 と 981 を参照)、またはサスペンドが PDI サスペンドであって、985 で DEFAULT_ON ビットが設定されている場合、CPU 40 は 340 で、ON # 信号を論理 0 に引き下げるようにマイクロコントローラ U2 に命令し、それにより、電源 17 の 1 次/調整ユニット 172 に ±5 と ±12 の各線での調整電圧の供給を停止させることにより、電源を「オフ」にする。電圧がほぼ 0 まで低下するには数秒間かかるので、数多くのコマンドを実行するための時間が CPU 40 に与えられる。したがって、CPU 40 は、電源 17 が発生したシステム電源電圧が CPU 40 が機能を停止するまで低下するのを待つので、342 でエンドレス・ループ (「スピン」) を実行する。交流電力障害のためにサスペンド・ルーチンに入った場合、AUX 5 は、前述のように電源 17 (または 34) によって電源がオフになる。

【0171】前述のように、交流電力障害が発生した場合 (電圧低下または停電)、あるいはシステムが通常動作状態 150 または待機状態 152 になっている間にシステム 10 にもはや電力を供給することができないと電源 17 または UPS 36 が感知した場合、電源 17 (または UPS 36) から PDI 信号が活動化される。

【0172】図 10～図 12 を参照すると、本発明の一実施例では、電源 17 (または UPS 36) からマイクロコントローラ U2 のピン P3.7 に PDI 信号が供給され、PDI が活動化されたことをこのピンを監視している APM BIOS が検出すると、BIOS はオペレーティング・システムにサスペンド要求を出す。オペレーティング・システムは 250 で、その要求を確認し、図 19～図 25 のサスペンド・ルーチンに入る。

【0173】代替実施例として、マイクロコントローラ U2 は、ピン P3.7 上の PDI が活動化されたときに CPU 40 に対して SMI (SMI_OUT #) を生成するようにプログラミングすることができる。その後、CPU 40 は、図 26 に示す SMI 割込みハンドラ・ルーチンを実行する。SMI ルーチンは、SMI が出されたときに 500 から始まる。次に CPU 40 は 502 で、PDI が活動状態であるかどうかを判定する。PDI が活動状態ではない場合、SMI ルーチンは通常、504 で続行する。PDI が活動状態である場合、判断ブロック 502 からタスク 506 に YES 分岐が取られ、そのタスク 506 で図 19～図 25 のサスペンド・ルーチンが実行される。

【0174】2 通りの実施例のいずれでも、いかなるデータ喪失も起こらずにシステム 10 全体の状態がハード・ディスクに保管される。サスペンドの実行後、マイク

ロコントローラ U2 により、電源 17 の 1 次/調整ユニット 172 は ON を LOW に変更することによって ±5 VDC と ±12 VDC の各線での調整電圧の供給を停止する。さらに、ON がローであり (ON # がハイになる)、電源 17 のバックアップ電源から電力が供給されている場合、電源 17 内の回路により、AUX 5 が除去される。UPS 36 が使用されている場合、ON がローになり (ON # がハイになる)、UPS 36 が電力を供給していると、UPS 36 内の回路により UPS 36 の交流線出力 2 が低下し、それにより、電源 34 へのすべての電力が低下する。さらに、AUX 5 も除去される。したがって、PDI サスペンドの実行後、電源 17 または 34 は、±5 V、±12 V、AUX 5 のいずれの線でも電力を供給しなくなる。前述のように、(電源 17 または UPS 36 に蓄積された電力が使い尽くされる前後のいずれで交流電力が復旧したかにかかわらず) 交流電力の復旧時にシステム 10 でマイクロコントローラ U2 のリセットが行われ、システム 10 をサスペンド状態から通常動作状態にレジュームすることを保証するために、AUX 5 の電源はオフになる。

【0175】ディスクへのサスペンドは、BIOS または OS が PDI 信号の存在に応答するのに必要な時間 (約 5 秒) に加え、格納すべきメモリの 1 メガバイト当たり約 1/2 秒を要する場合がある。一例として、64 メガバイト (MB) のシステム RAM と 2 MB のビデオ RAM を備えたシステムでは、システム 10 に対して電力が生成されるより少なくとも $((64 \text{ MB} * 0.5 \text{ 秒} / \text{MB}) + (2 \text{ MB} * 0.5 \text{ 秒} / \text{MB}) + 5 \text{ 秒}) = 38 \text{ 秒}$ 前に PDI 信号を生成 (活動化) しなければならないはずである。すなわち、電源 17 または UPS 36 は、このようなシステムのために少なくとも 38 秒分のバックアップ電力貯蔵を備えていなければならない。当然のことながら、本発明の当業者であれば、電力障害後、十分な期間の間、電源 17 または UPS 36 がシステム 10 に電力を供給できるようにシステム 10 を設計する必要があり、その期間の長さは格納すべきメモリの量によって決まることが分かるであろう。

【0176】交流電力障害 (電圧低下または停電) 後、活動化された PDI 信号のためにシステムがサスペンド・ルーチンに入っている間にコンセントからの交流電力が復旧した場合、図 19～図 25 に関連して前述したように、タスク 983 および 982 で PDI 信号が除去 (非活動化) され、システム 10 はその通常動作状態に戻る (レジュームする)。

【0177】システム 10 が交流電力障害のためにサスペンド状態になった後、電源 17 または UPS 36 内のバックアップ貯蔵電力が使い尽くされる前後のいずれかで所定のレベルの交流電力がコンセントに復旧した場合 (すなわち、もはや電力障害が存在せず、電源 17 の交流線入力または UPS 36 の交流線入力 2 上で交流電力

が供給される場合) (ただし、いずれの場合も $\pm 5\text{VDC}$ 、 $\pm 12\text{VDC}$ の各線とAUX5は電力供給されていないことに留意されたい)、電源17はAUX5の電力を上昇させ、マイクロコントローラU2はリセットされる。マイクロコントローラU2は、リセットされた後、ONをハイ(ON#をロー)に設定し、電源17または34はその出力で $\pm 5\text{VDC}$ と $\pm 12\text{VDC}$ を供給する(すなわち、システム電源がオンになる)。次にシステムは図14~図18のブートアップ・ルーチンに入る。前述のように、(1)マイクロコントローラU2がリセ

10 ャットされ、(2)PDIサスペンド・ルーチン中にDEFAULT_ONビットが設定されているはずであり、(3)サスペンド・ルーチン中にサスペンド可能フラグが設定されているはずなので、ブートアップ・ルーチンにおいてタスク380からタスク996へ、タスク998へ、タスク1004へ、さらにシステムがその通常動作状態にレジャームするタスク422へと、実行が進行する。したがって、PDIサスペンド後に交流電力が復旧すると、システムは自動的にサスペンド状態からその通常動作状態にレジャームするはずである。

【0178】本発明はいくつかの利点を含む。たとえば、電源17またはUPS36は、交流電力障害が持続する長さにかかわらず、システム10がサスペンド・ルーチンを実行できるようにするのに十分なバックアップ電力を備えているだけでよい。バックアップ電力のコストは電源がこのようなバックアップ電力を供給できる時間の長さに比例するので、本発明の電源17または32(後者はUPS36を含む)のコストは、交流電力障害の期間中ずっと電力を供給できる電源またはUPSのコストよりかなり低い。さらに、後者の電源またはUPSを有するコンピュータ・システムには、電源またはUPS

30 の貯蔵電荷を使い尽くすとデータが失われるという欠点があるが、本発明のシステムでは、バックアップ電力を使い尽くす前にハード・ディスクに保管されるのでデータが失われることはない。

【0179】その実施例の説明によって本発明を例証し、実施例についてはかなり詳しく説明してきたが、特許請求の範囲を制限したり、このような詳細に限定することは本発明の意図ではない。当業者であれば、その他の利点および変更態様を容易に思いつくであろう。たとえば、1つまたは複数の割込みのハードウェア監視など、電力管理回路106が実行するタスクの多くは、システム・チップセット内に組み込むことができる。したがって、より広範囲の態様における本発明は、図示し記述した特定の詳細、代表的な装置や方法、実例に限定されない。したがって、本出願人の一般的な発明概念の精神または範囲を逸脱せずに、このような詳細から離脱することができる。

【0180】まとめとして、本発明の構成に関して以下の事項を開示する。

【0181】(1)少なくとも2通りの電力管理状態、すなわち、コンピュータ・システムによってコードが正常に実行される通常動作状態とサスペンド状態とで動作可能なコンピュータ・システムにおいて、このシステムが、(a)前記コードを実行可能なCPUと、(b)前記CPUと回路連絡状態になっており、制御信号にตอบสนองして前記通常動作状態と前記サスペンド状態との間で前記コンピュータ・システムの状態を選択的に変更するための電力管理回路と、(c)前記CPUおよび前記電力管理回路と回路連絡状態になっており、前記電力管理回路にตอบสนองして外部電源から前記コンピュータ・システムに選択的にシステム電力を供給するための回路を含み、第1の電源状態と第2の電源状態と第3の電源状態とを有することを特徴とし、前記電力管理回路に補助電力を供給するための回路を有することをさらに特徴とする電源であって、前記電源は、内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給するための回路をさらに含み、前記電源は、前記システムが前記通常動作状態になってい

20 て、前記外部電源が前記電源への所定のレベルの電力供給を停止したときに、前記電力管理回路に前記制御信号を生成するように動作する電源とを含み、前記第1の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、前記第2の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、前記第3の電源状態

30 は、前記電源が前記内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給することを特徴とし、前記通常動作状態は、前記電源が前記第1の電源状態になっていることを特徴とし、前記サスペンド状態は、電源が前記第1の電源状態に変化した後にCPU上でのコードの実行がレジャームできるように、CPU上で実行されるコードが可逆的に中断されることを特徴とし、前記電源管理回路は、前記通常動作状態の間に、前記電源が前記制御信号を活動化したことにตอบสนองして、前記電力管理回路により

40 前記コンピュータ・システムが前記サスペンド状態に変化することを特徴とする、コンピュータ・システム。

(2)前記電源が前記制御信号を活動化したことにตอบสนองして、前記電力管理回路が、通常動作状態からサスペンド状態にシステムを変更するためにBIOSコードによって実行されるサスペンド・ルーチンを開始することを特徴とする、上記(1)に記載のコンピュータ・システム。

(3)前記通常動作状態から前記サスペンド状態への前記変更の間、前記電源が第3の電源状態になっており、前記変更後、前記電源内の電力管理回路により前記電源

50

が第 4 の電源状態に移移し、前記第 4 の電源状態は、前記電源が前記内部電源または前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記内部電源または前記外部電源から前記電力管理回路に補助電力を供給しないことを特徴とする、上記

(1) に記載のコンピュータ・システム。

(4) 前記電源に前記所定のレベルの電力を供給する前記外部電源の復旧にตอบสนองして、前記電源が、前記第 4 の電源状態から前記第 2 の電源状態に移移するように動作し、前記電力管理回路は、電源が第 4 の電源状態から第 2 の電源状態に移移したことにตอบสนองして、前記電源を第 2 の電源状態から第 1 の電源状態に移移させることをさらに特徴とする、上記 (3) に記載のコンピュータ・システム。

(5) 前記電源が第 1 の電源状態に移移した後、前記 CPU が、前記システムを前記サスペンド状態から通常動作状態にレジュームするコードを実行するように動作することを特徴とする、上記 (4) に記載のコンピュータ・システム。

(6) 前記電源は、前記外部電源が前記所定のレベルの電力を供給しないことにตอบสนองして、前記電源を前記第 1 の電源状態から前記第 3 の電源状態に移移させることをさらに特徴とする、上記 (1) に記載のコンピュータ・システム。

(7) 前記電源は、外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に前記補助電力を選択的に供給するための回路を含む主電源を含み、前記内部電源が、前記主電源に結合され、前記制御信号を生成するように動作する無停電電源装置であることを特徴とする、上記 (1) に記載のコンピュータ・システム。

(8) 前記電力管理回路が電力管理プロセッサを含むことを特徴とする、上記 (1) に記載のコンピュータ・システム。

(9) 前記 CPU および前記電力管理回路と回路連絡状態になっており、高電力使用状態と低電力使用状態から選択した 1 つの状態と動作可能な周辺装置であって、前記周辺装置が前記電力管理回路にตอบสนองして前記高電力使用状態と前記低電力使用状態との間を変化する周辺装置をさらに含み、前記コンピュータ・システムが第 3 の電力管理状態である待機状態でさらに動作可能であって、前記待機状態は、前記電源が前記第 1 の電源状態になっていて、前記周辺装置が前記低電力使用状態になっていることを特徴とし、前記電源は、前記システムが前記待機状態になっていて、前記外部電源が前記電源への前記所定のレベルの電力供給を停止したときに、前記電力管理回路に前記制御信号を生成するようにさらに動作し、前記電力管理回路は、前記待機状態の間に、前記電源が前記制御信号を活動化したことにตอบสนองして、前記電力管理回路により前記コンピュータ・システムが前記サスペ

ンド状態に変化することを特徴とする、上記 (1) に記載のコンピュータ・システム。

(1 0) 前記外部電源が交流コンセントであり、前記コンセントにおける交流電圧低下または停電により前記外部電源が前記電源への前記所定のレベルの電力供給を停止することを特徴とする、上記 (1) に記載のコンピュータ・システム。

(1 1) 前記電源が前記制御信号を活動化したことにตอบสนองして、前記電力管理回路が、CPU に対して SMI を生成し、CPU がサスペンド・ルーチンに制御権を移転できるようにすることにより、CPU 上でのコードの実行を中断するように動作することを特徴とする、上記

(1) に記載のコンピュータ・システム。

(1 2) 少なくとも 2 通りの電力管理状態、すなわち、前記コンピュータ・システムによってコードが正常に実行される通常動作状態と、前記コンピュータ・システムによるコードの実行が中断されるサスペンド状態とで動作可能なコンピュータ・システムにおいて、このシステムが、(a) 前記コードを実行可能な CPU と、(b) 前記 CPU と回路連絡状態になっており、制御信号にตอบสนองして前記通常動作状態と前記サスペンド状態との間で前記コンピュータ・システムの状態を選択的に変更するための電力管理回路と、(c) 前記 CPU および前記電力管理回路と回路連絡状態になっており、前記電力管理回路にตอบสนองして外部電源から前記コンピュータ・システムに選択的にシステム電力を供給するための回路を含み、前記電力管理回路に補助電力を供給するための回路を有することを特徴とする電源であって、前記電源は、内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給するための回路をさらに含み、前記電源は、前記システムが前記通常動作状態になっていて、前記外部電源が前記電源への所定のレベルの電力供給を停止したときに、前記電力管理回路に制御信号を生成するように動作する電源と、(d) 前記 CPU と回路連絡状態になっている不揮発性記憶装置と、(e) 前記 CPU と回路連絡状態になっており、メモリ・データを格納するための揮発性メモリと、(f) 前記 CPU と回路連絡状態になっており、レジスタ・データを格納するための揮発性レジスタとを含み、前記電源管理回路は、前記通常動作状態の間に、前記電源が前記制御信号を活動化したことにตอบสนองして、前記電力管理回路により前記コンピュータ・システムが前記サスペンド状態に変化することを特徴とし、前記通常動作状態から前記サスペンド状態への前記変化が、前記揮発性メモリから前記不揮発性記憶装置へのメモリ・データの転送と、揮発性レジスタから前記不揮発性記憶装置へのレジスタ・データの転送とを含むことを特徴とする、コンピュータ・システム。

(1 3) 前記電源が、第 1 の電源状態と第 2 の電源状態と第 3 の電源状態とを有することをさらに特徴とし、前

記第 1 の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、前記第 2 の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、前記第 3 の電源状態は、前記電源が前記内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給することを特徴とする、上記

(1 2) に記載のコンピュータ・システム。

(1 4) 前記通常動作状態は、前記電源が前記第 1 の電源状態になっていることを特徴とし、前記サスペンド状態は、電源が前記第 1 の電源状態に変化した後に CPU 上でのコードの実行がレジュームできるように、CPU 上で実行されるコードが可逆的に中断されることを特徴とする、上記 (1 3) に記載のコンピュータ・システム。

(1 5) 前記通常動作状態は、前記電源が前記第 1 の電源状態になっていることを特徴とし、前記サスペンド状態は、レジスタ・データとメモリ・データが不揮発性記憶装置上に格納されることを特徴とする、上記 (1 3) に記載のコンピュータ・システム。

(1 6) 前記通常動作状態から前記サスペンド状態への前記変更の間、前記電源が第 3 の電源状態になっており、前記変更後、前記電源内の電力管理回路により前記電源が第 4 の電源状態に移移し、前記第 4 の電源状態は、前記電源が前記内部電源または前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記内部電源または前記外部電源から前記電力管理回路に補助電力を供給しないことを特徴とする、上記 (1 3) に記載のコンピュータ・システム。

(1 7) 前記電源に前記所定のレベルの電力を供給する前記外部電源の復旧に応答して、前記電源が、前記第 4 の電源状態から前記第 2 の電源状態に移移するように動作し、前記電力管理回路は、電源が第 4 の電源状態から第 2 の電源状態に移移したことに応答して、前記電源を第 2 の電源状態から第 1 の電源状態に移移させることをさらに特徴とする、上記 (1 6) に記載のコンピュータ・システム。

(1 8) 前記電源が第 1 の電源状態に移移した後、前記 CPU が、前記システムを前記サスペンド状態から通常動作状態にレジュームするコードを実行するように動作することを特徴とする、上記 (1 7) に記載のコンピュータ・システム。

(1 9) 前記 CPU および前記電力管理回路と回路連絡状態になっており、高電力使用状態と低電力使用状態から選択した 1 つの状態で動作可能な周辺装置であって、前記周辺装置が前記電力管理回路に応答して前記高電力使用状態と前記低電力使用状態との間を変化する周辺装

置をさらに含み、前記コンピュータ・システムが第 3 の電力管理状態である待機状態でさらに動作可能であって、前記待機状態は、前記電源が前記第 1 の電源状態になっていて、前記周辺装置が前記低電力使用状態になっていることを特徴とし、前記電源は、前記システムが前記待機状態になっていて、前記外部電源が前記電源への前記所定のレベルの電力供給を停止したときに、前記電力管理回路に前記制御信号を生成するようにさらに動作し、前記電力管理回路は、前記待機状態の間に、前記電源が前記制御信号を活動化したことに応答して、前記電力管理回路により前記コンピュータ・システムが前記サスペンド状態に変化することを特徴とする、上記 (1 2) に記載のコンピュータ・システム。

(2 0) 前記電源は、前記外部電源が前記所定のレベルの電力を供給しないことに応答して、前記電源を前記第 1 の電源状態から前記第 3 の電源状態に移移させることをさらに特徴とする、上記 (1 2) に記載のコンピュータ・システム。

(2 1) 前記電源は、外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に前記補助電力を選択的に供給するための回路を含む主電源を含み、前記内部電源が、前記主電源に結合され、前記制御信号を生成するように動作する無停電電源装置であることを特徴とする、上記 (1 2) に記載のコンピュータ・システム。

(2 2) 前記不揮発性記憶装置が固定ディスク記憶装置を含むことを特徴とする、上記 (1 2) に記載のコンピュータ・システム。

(2 3) 前記電力管理回路が電力管理プロセッサを含むことを特徴とする、上記 (1 2) に記載のコンピュータ・システム。

(2 4) 前記外部電源が交流コンセントであり、前記コンセントにおける交流電圧低下または停電により前記外部電源が前記電源への前記所定のレベルの電力供給を停止することを特徴とする、上記 (1 2) に記載のコンピュータ・システム。

(2 5) 前記電源が前記制御信号を活動化したことに応答して、前記電力管理回路が、CPU に対して SMI を生成し、CPU がサスペンド・ルーチンに制御権を移転できるようにすることにより、CPU 上でのコードの実行を中断するように動作することを特徴とする、上記

(1 2) に記載のコンピュータ・システム。

(2 6) 前記電源が前記制御信号を活動化したことに応答して、前記電力管理回路が、通常動作状態からサスペンド状態にシステムを変更するために BIOS コードによって実行されるサスペンド・ルーチンを開始することを特徴とする、上記 (1 2) に記載のコンピュータ・システム。

(2 7) 少なくとも 2 通りの電力管理状態、すなわち、通常動作状態とサスペンド状態とで動作可能なコンピュ

10

20

30

40

50

ータ・システムにおいて、このシステムが、(a) コードを実行可能なCPUと、(b) 前記CPUと回路連絡状態になっており、サスペンド事象にตอบสนองして前記通常動作状態と前記サスペンド状態との間で前記コンピュータ・システムの状態を選択的に変更するための電力管理回路と、(c) 前記CPUおよび前記電力管理回路と回路連絡状態になっており、前記電力管理回路にตอบสนองして外部電源から前記コンピュータ・システムに選択的にシステム電力を供給するための回路を含み、第1の電源状態と第2の電源状態と第3の電源状態とを有することを特徴とし、前記電力管理回路に補助電力を供給するための回路を有することをさらに特徴とする電源であって、前記電源は、内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給するための回路をさらに含み、前記電源は、前記システムが前記通常動作状態になっていて、前記外部電源が前記電源への所定のレベルの電力供給を停止したときに、制御信号を生成するように動作する電源とを含み、前記第1の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、前記第2の電源状態は、前記電源が前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記外部電源から前記電力管理回路に補助電力を供給することを特徴とし、前記第3の電源状態は、前記電源が前記内部電源から前記コンピュータ・システムにシステム電力を供給し、前記電力管理回路に補助電力を供給することを特徴とし、前記通常動作状態は、前記電源が前記第1の電源状態になっていることを特徴とし、前記サスペンド状態は、電源が前記第1の電源状態に変化した後にCPU上でのコードの実行がレジュームできるように、CPU上で実行されるコードが可逆的に中断されることを特徴とし、前記電源が前記制御信号を活動化したことにตอบสนองして、前記コードが、前記コンピュータ・システムを前記通常動作状態から前記サスペンド状態に変化させるサスペンド・ルーチンを実行することを特徴とする、コンピュータ・システム。

(28) 前記コードが、電力管理状態の遷移を実現し、前記制御信号の状態を監視することを特徴とするBIOSコードであって、前記電源が前記制御信号を活動化したことにตอบสนองして、前記BIOSコードが、CPU上の他のコードの実行を中断し、前記サスペンド・ルーチンを実行できることを特徴とする、上記(27)に記載のコンピュータ・システム。

(29) 前記コードが、電力管理状態の遷移を制御することを特徴とするオペレーティング・システム・コードであって、前記電源が前記制御信号を活動化したことにตอบสนองして、前記オペレーティング・システム・コードが、CPU上の他のコードの実行を中断し、前記サスペ

ンド・ルーチンを呼び出せることを特徴とする、上記(27)に記載のコンピュータ・システム。

(30) 前記通常動作状態から前記サスペンド状態への前記変更の間、前記電源が第3の電源状態になっており、前記変更後、前記電源内の電力管理回路により前記電源が第4の電源状態に遷移し、前記第4の電源状態は、前記電源が前記内部電源または前記外部電源から前記コンピュータ・システムにシステム電力を供給せず、前記電源が前記内部電源または前記外部電源から前記電力管理回路に補助電力を供給しないことを特徴とする、上記(27)に記載のコンピュータ・システム。

(31) 前記電源に前記所定のレベルの電力を供給する前記外部電源の復旧にตอบสนองして、前記電源が、前記第4の電源状態から前記第2の電源状態に遷移するように動作し、前記電力管理回路は、電源が第4の電源状態から第2の電源状態に遷移したことにตอบสนองして、前記電源を第2の電源状態から第1の電源状態に遷移させることをさらに特徴とする、上記(30)に記載のコンピュータ・システム。

(32) 前記電源が第1の電源状態に遷移した後、前記CPUが、前記システムを前記サスペンド状態から通常動作状態にレジュームするコードを実行するように動作することを特徴とする、上記(31)に記載のコンピュータ・システム。

(33) 前記電源は、前記外部電源が前記所定のレベルの電力を供給しないことにตอบสนองして、前記電源を前記第1の電源状態から前記第3の電源状態に遷移させることをさらに特徴とする、上記(27)に記載のコンピュータ・システム。

(34) 前記電源は、外部電源から前記コンピュータ・システムにシステム電力を供給し、前記外部電源から前記電力管理回路に前記補助電力を選択的に供給するための回路を含む主電源を含み、前記内部電源が、前記主電源に結合され、前記制御信号を生成するように動作する無停電電源装置であることを特徴とする、上記(27)に記載のコンピュータ・システム。

(35) 前記電力管理回路が電力管理プロセッサを含むことを特徴とする、上記(27)に記載のコンピュータ・システム。

(36) 前記CPUおよび前記電力管理回路と回路連絡状態になっており、高電力使用状態と低電力使用状態から選択した1つの状態で動作可能な周辺装置であって、前記周辺装置が前記電力管理回路にตอบสนองして前記高電力使用状態と前記低電力使用状態との間を変化する周辺装置をさらに含み、前記コンピュータ・システムが第3の電力管理状態である待機状態でさらに動作可能であって、前記待機状態は、前記電源が前記第1の電源状態になっていて、前記周辺装置が前記低電力使用状態になっていることを特徴とし、前記電源は、前記システムが前記待機状態になっていて、前記外部電源が前記電源への

前記所定のレベルの電力供給を停止したときに、前記制御信号を生成するようにさらに動作し、前記コードは、前記待機状態の間に、前記電源が前記制御信号を活動化したことに応答して、前記コードが、前記コンピュータ・システムを前記サスペンド状態に変化させる前記サスペンド・ルーチンを実行することを特徴とする、上記(27)に記載のコンピュータ・システム。

【図面の簡単な説明】

【図1】本発明を実施するパーソナル・コンピュータの斜視図である。

【図2】シャシ、カバー、電気機械式直接アクセス記憶装置、プレーナ・ボードを含む図1のパーソナル・コンピュータの所与の要素の分解斜視図であり、これらの要素間の所与の関係を示す図である。

【図3】図1および図2のパーソナル・コンピュータの所与の構成要素のブロック図である。

【図4】図1および図2のパーソナル・コンピュータの所与の構成要素のブロック図である。

【図5】図1および図2のパーソナル・コンピュータの所与の構成要素のブロック図である。

【図6】図1および図2のパーソナル・コンピュータの所与の構成要素のブロック図である。

【図7】通常、待機、サスペンド、オフという4通りのシステム状態を示す、本発明のコンピュータ・システムの状態図である。

【図8】電源の関連部分を示すブロック図である。

【図9】本発明による別の電源の関連部分を示すブロック図である。

【図10】他の図への各種インタフェースを示す、本発明の電力管理回路の電気概略図である。

【図11】他の図への各種インタフェースを示す、本発明の電力管理回路の電気概略図である。

【図12】他の図への各種インタフェースを示す、本発明の電力管理回路の電気概略図である。

【図13】本発明の電力管理プロセッサにより維持され

るスイッチ状態の1つを示す状態図である。

【図14】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

【図15】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

【図16】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

【図17】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

10 【図18】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

【図19】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図20】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図21】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図22】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

20 【図23】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図24】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図25】本発明のSMIルーチンの詳細を示す流れ図である。

【符号の説明】

10 マイクロコンピュータ・システム

11 ディスプレイ・モニタ

12 キーボード

30 13 マウス

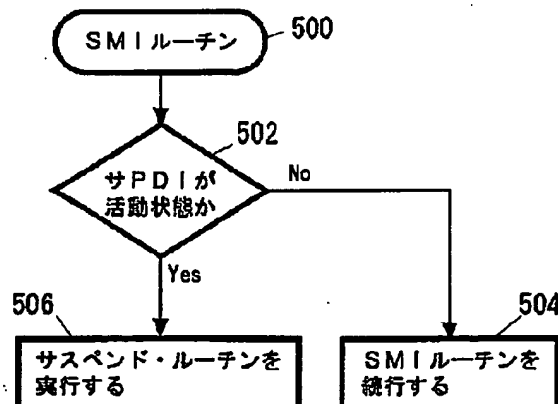
14 プリンタまたはプロッタ

21 電源ボタン

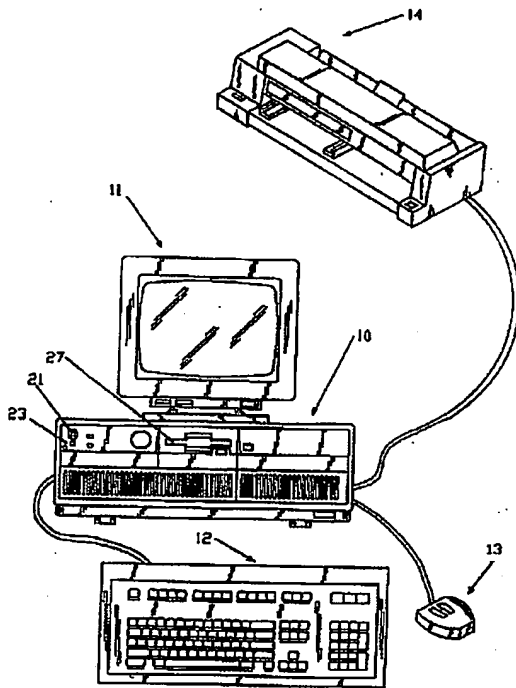
23 電源/フィードバックLED

27 フロッピー・ディスク・ドライブ

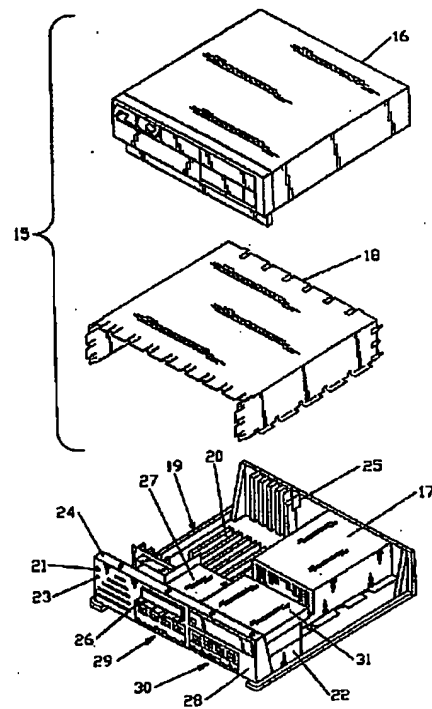
【図26】



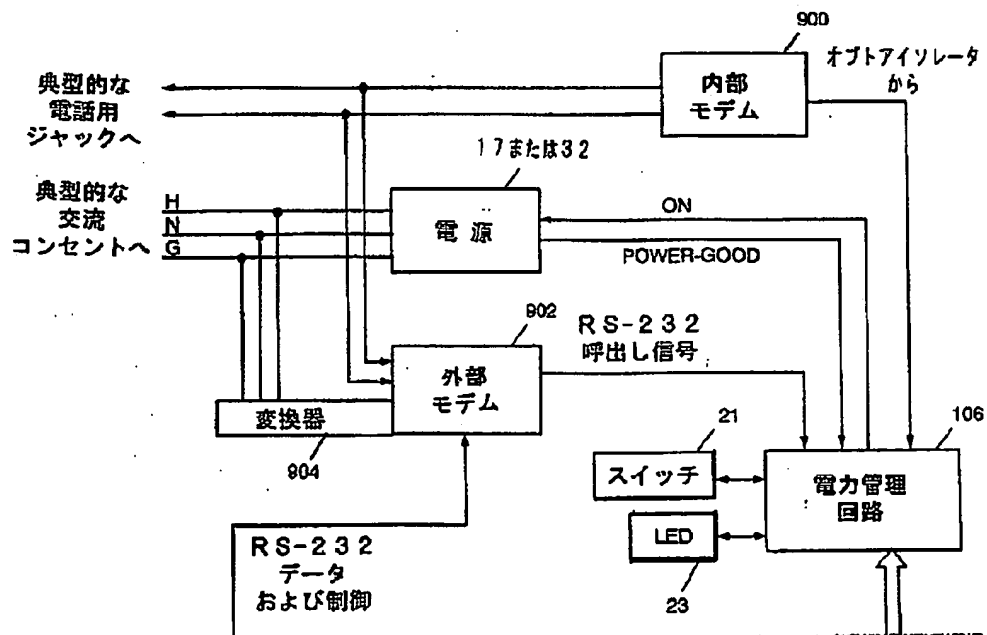
【図 1】



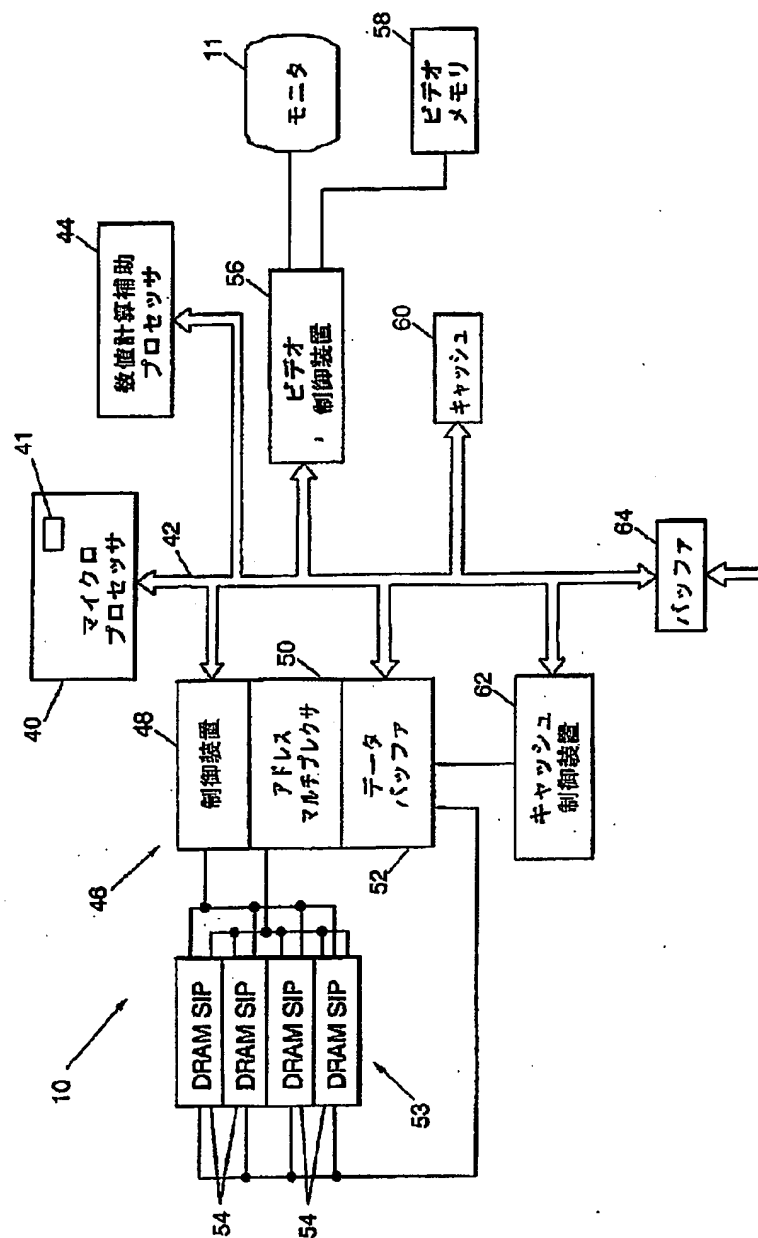
【図 2】



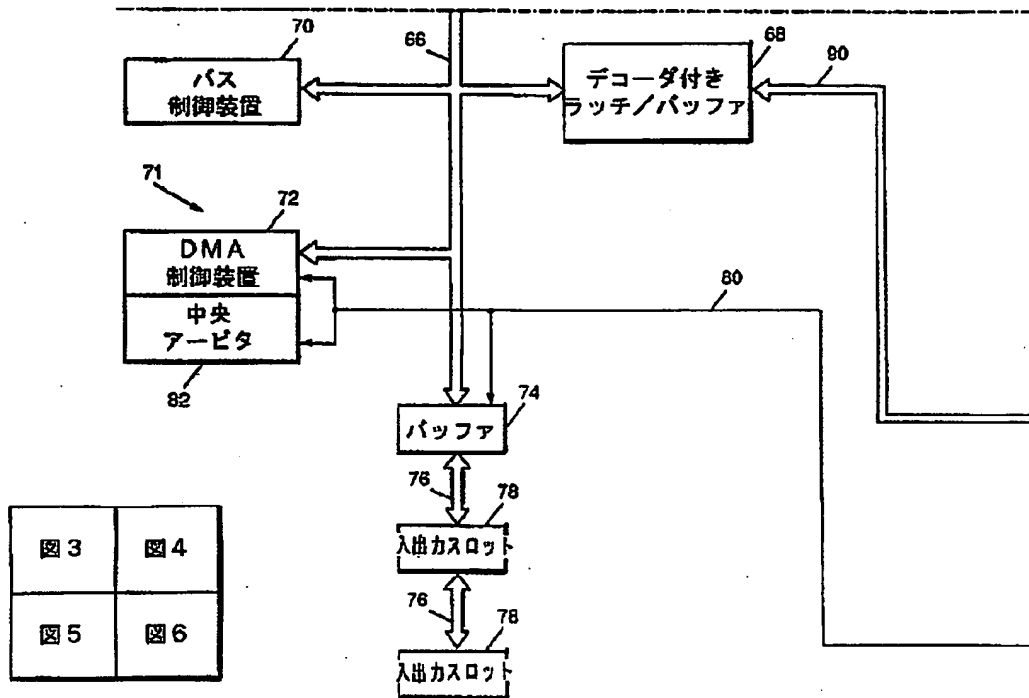
【図 4】



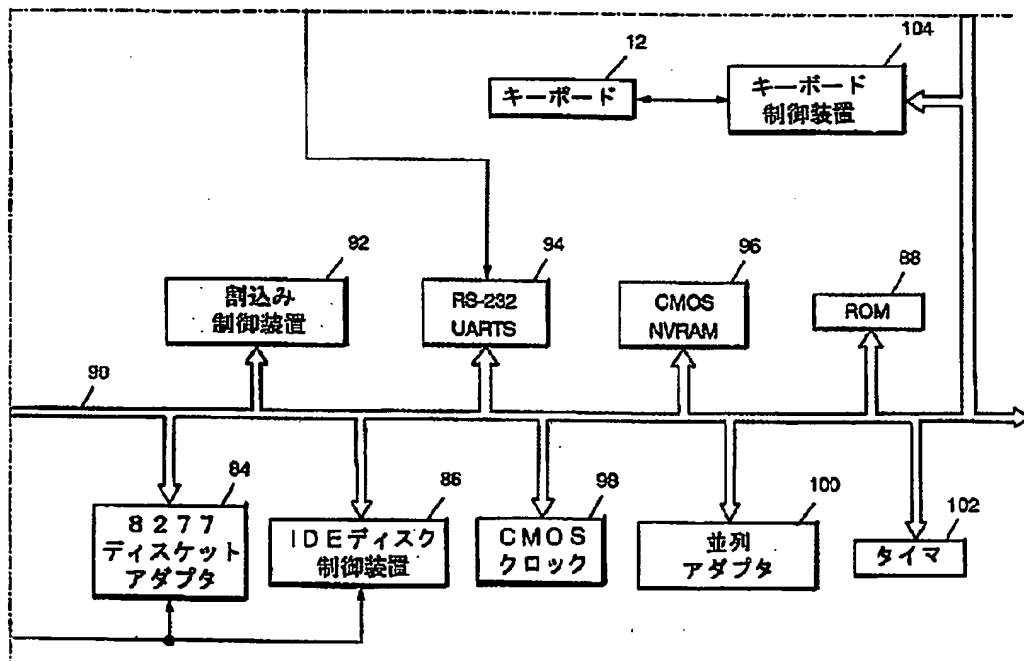
【図 3】



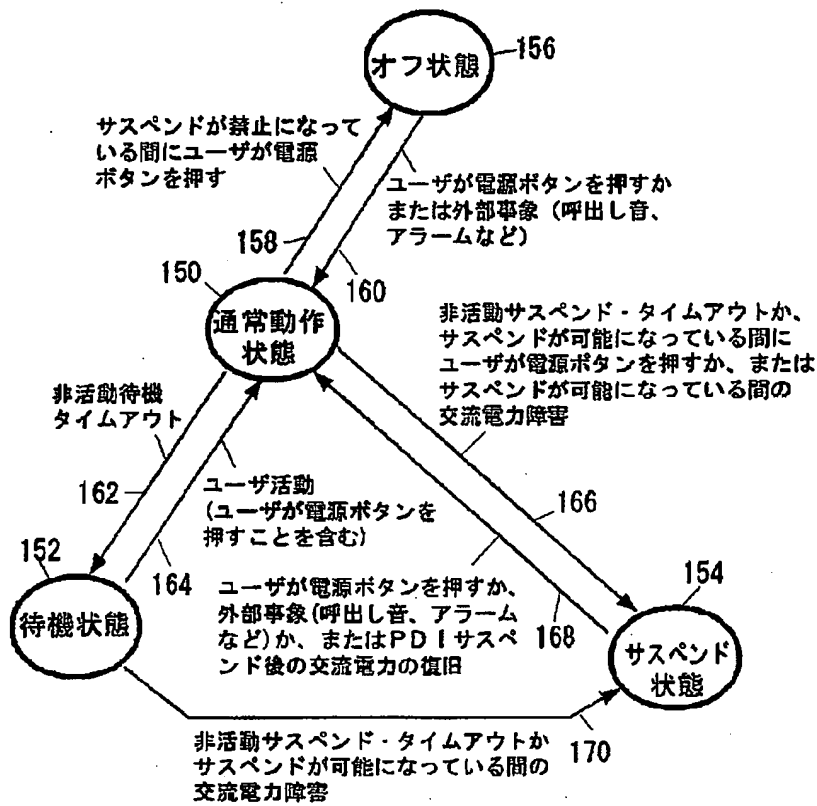
【図5】



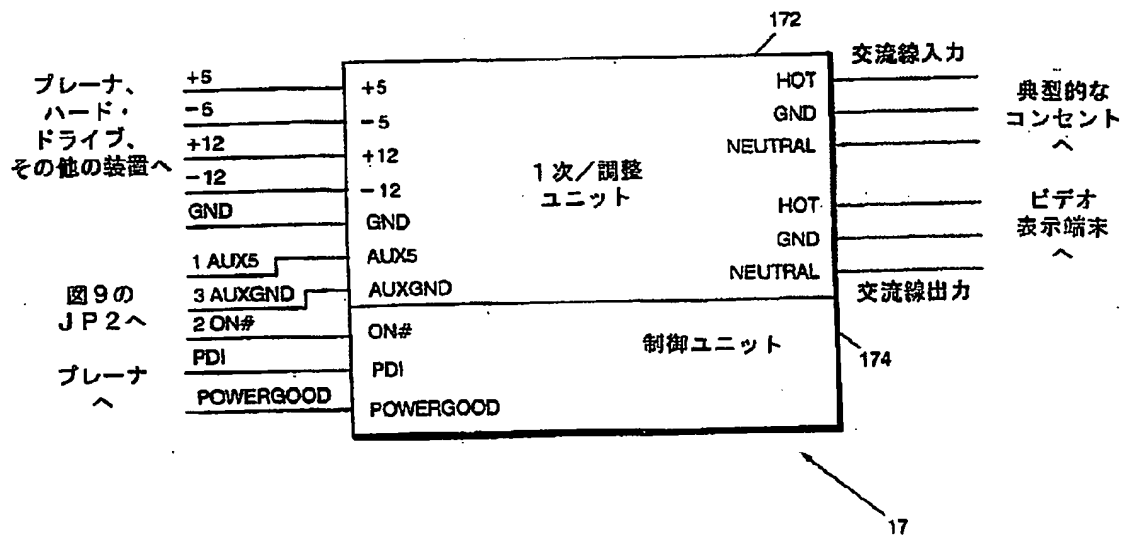
【図6】



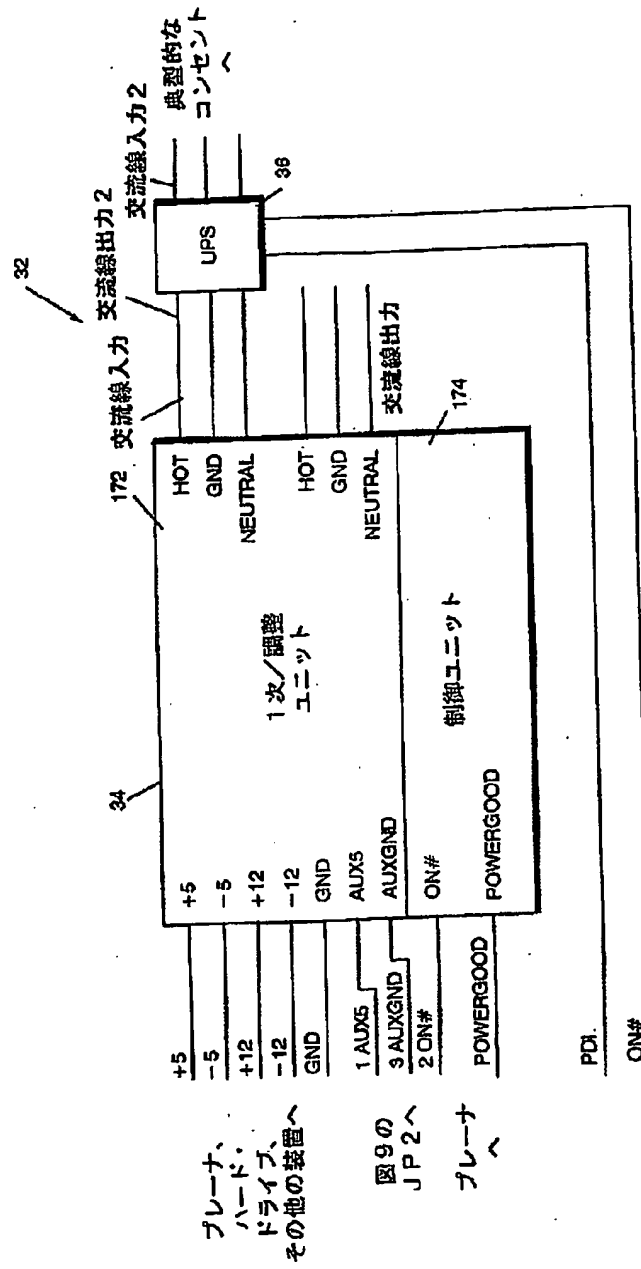
【図 7】



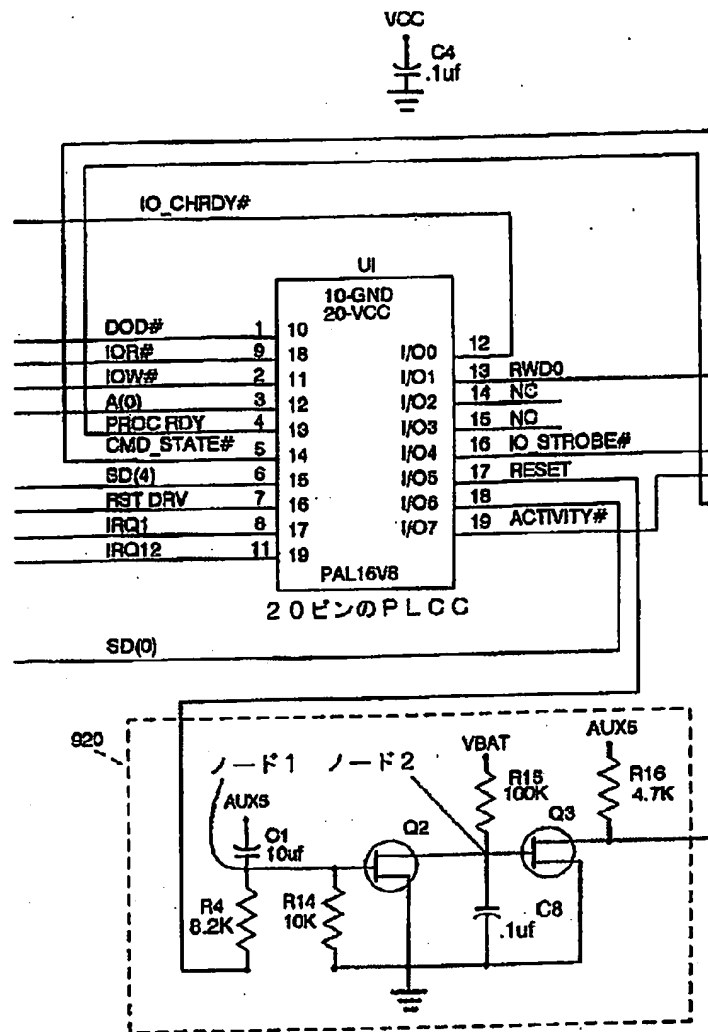
【図 8】



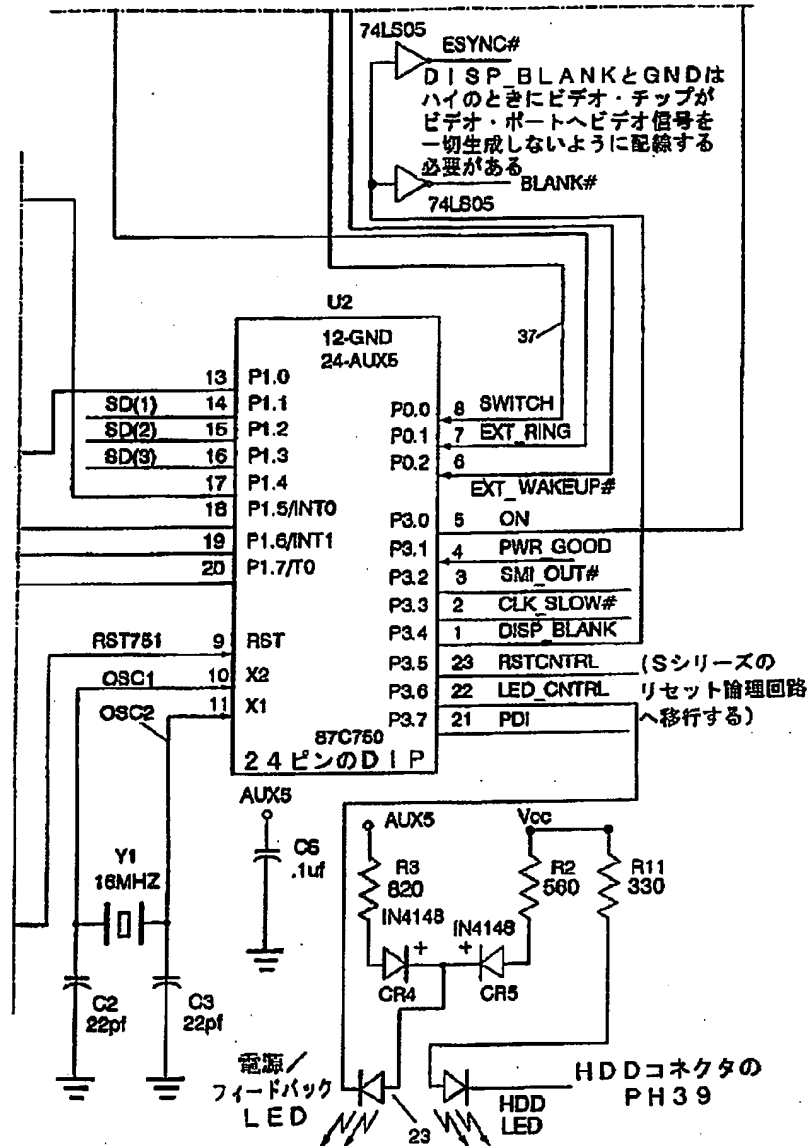
【図 9】



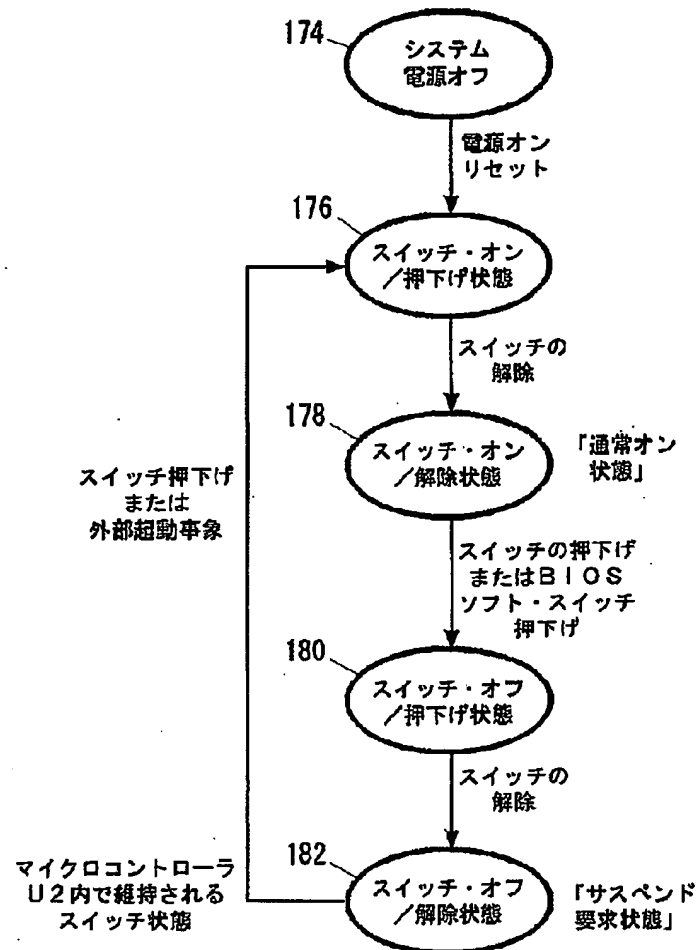
【図10】



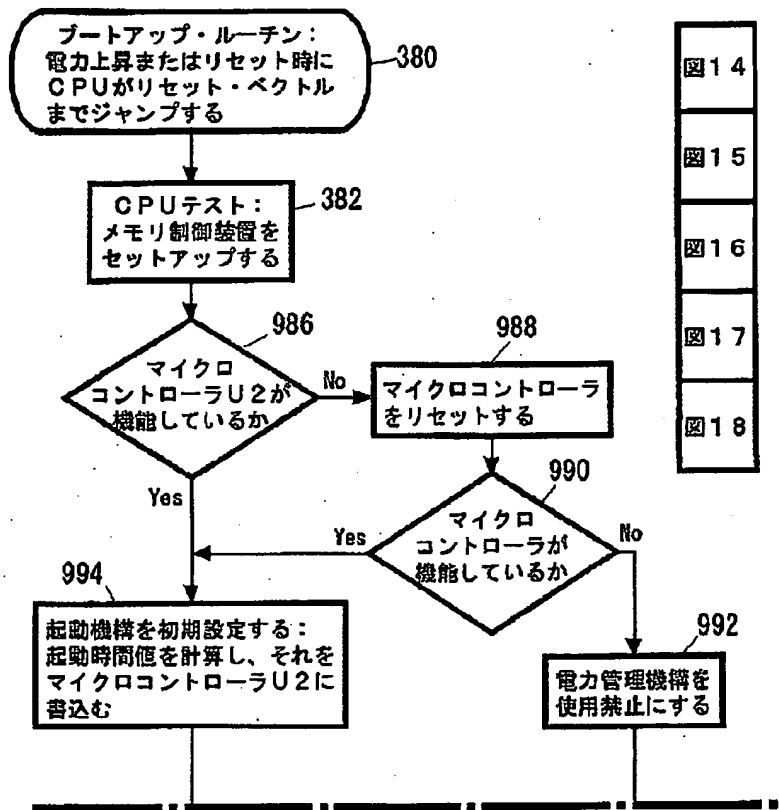
【図11】



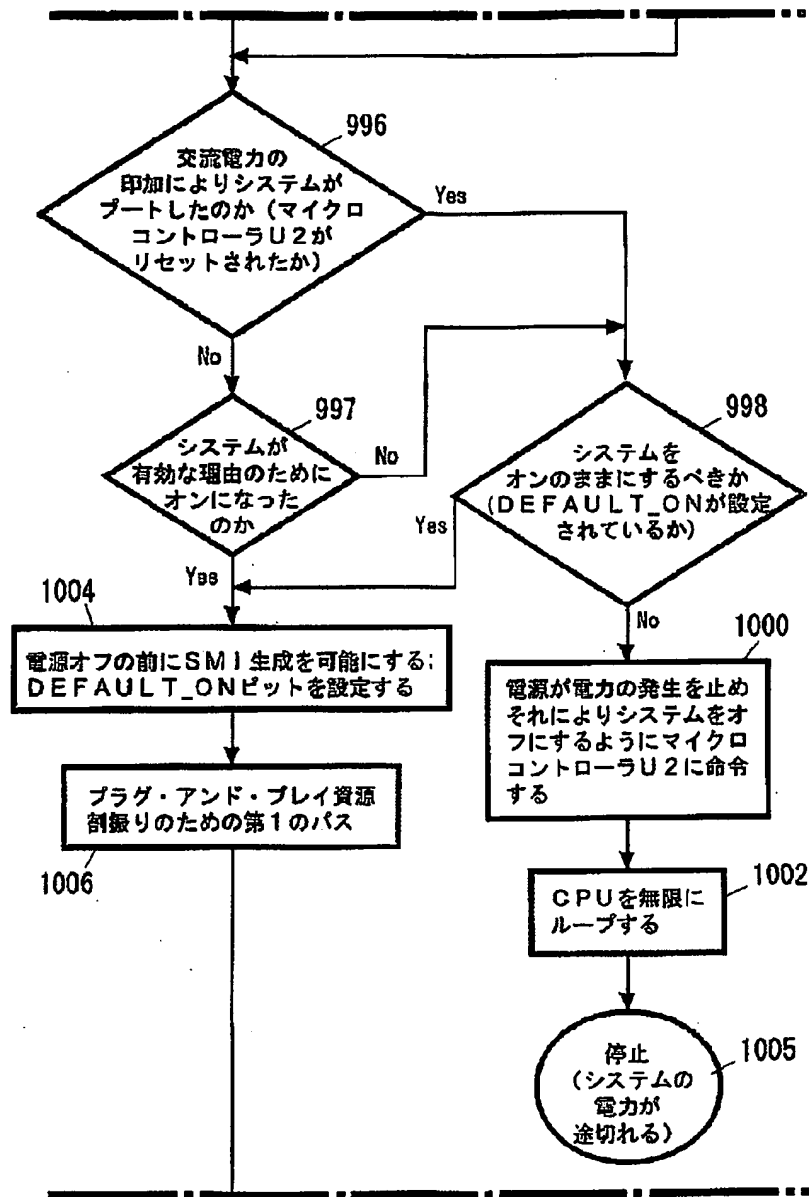
【図 13】



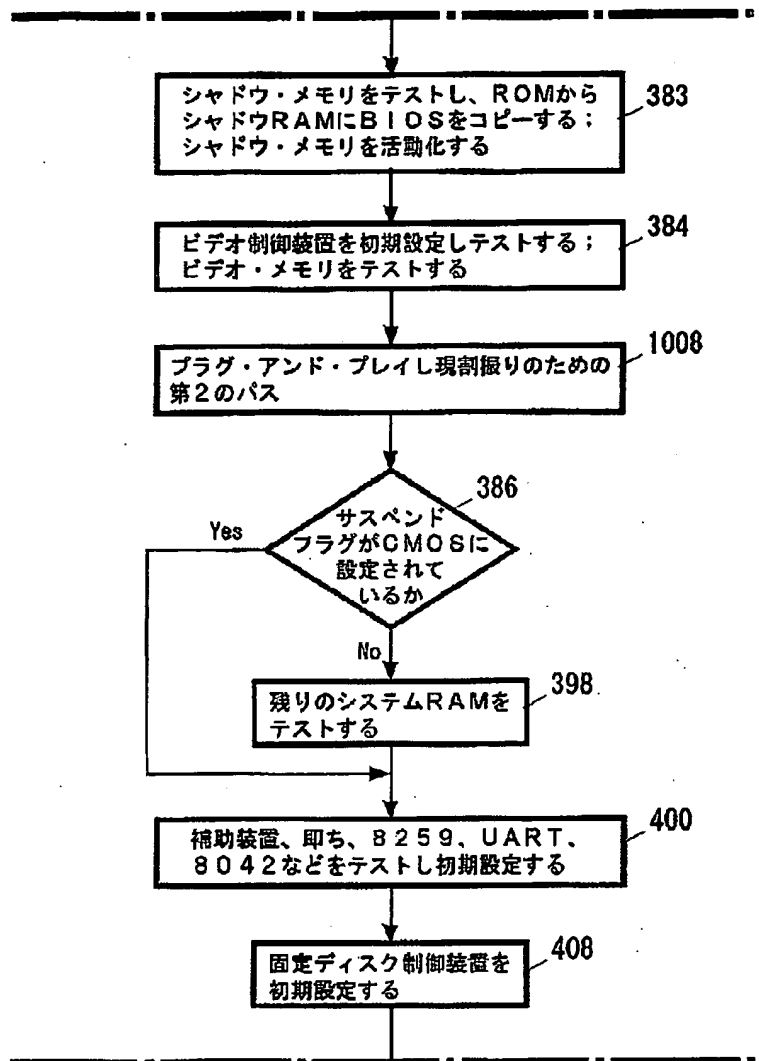
【図14】



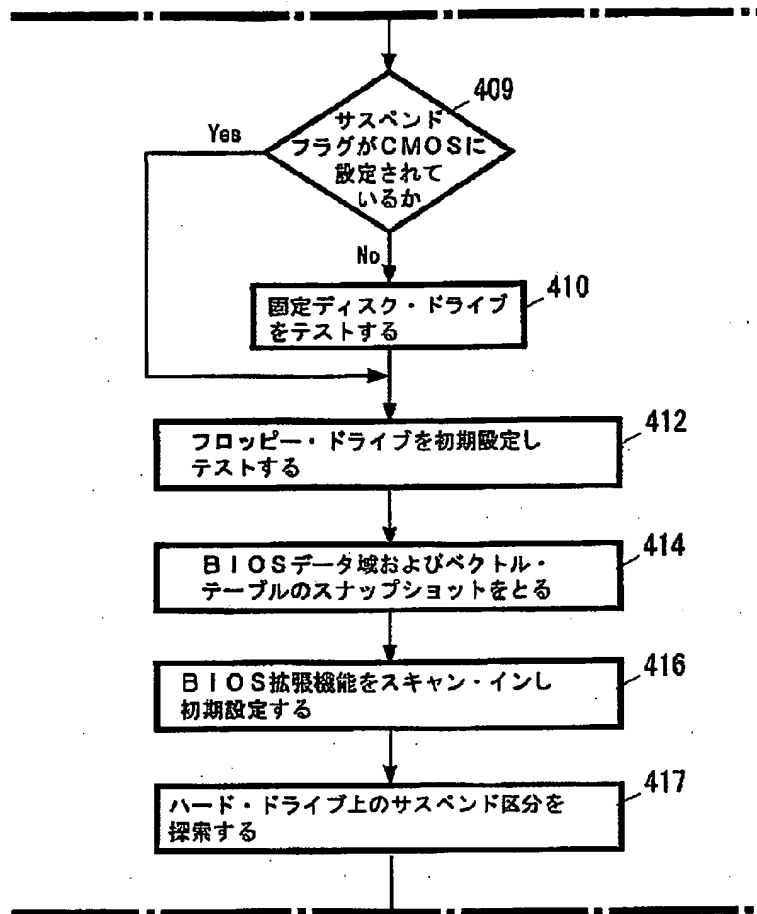
【図 15】



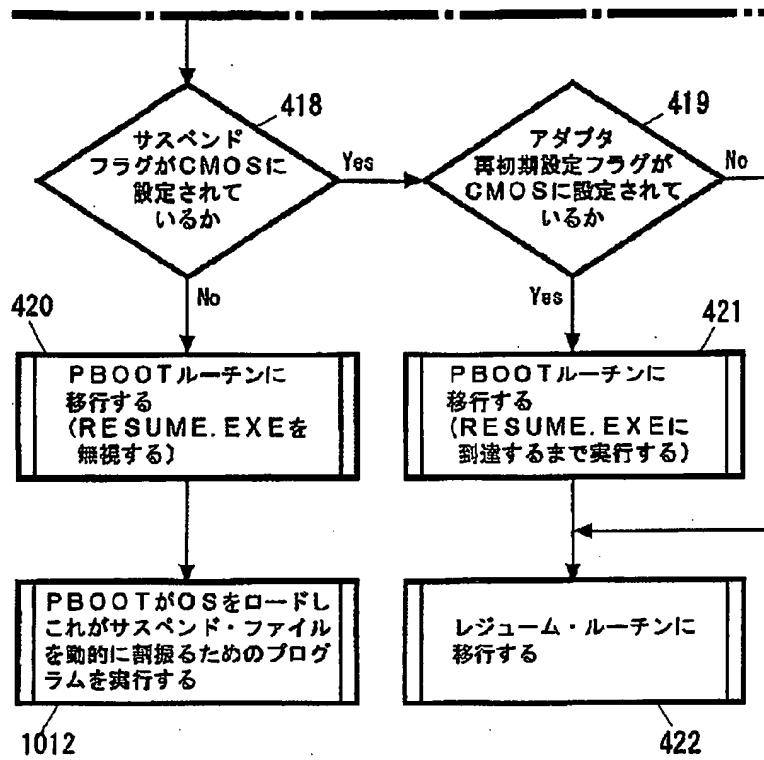
【図16】



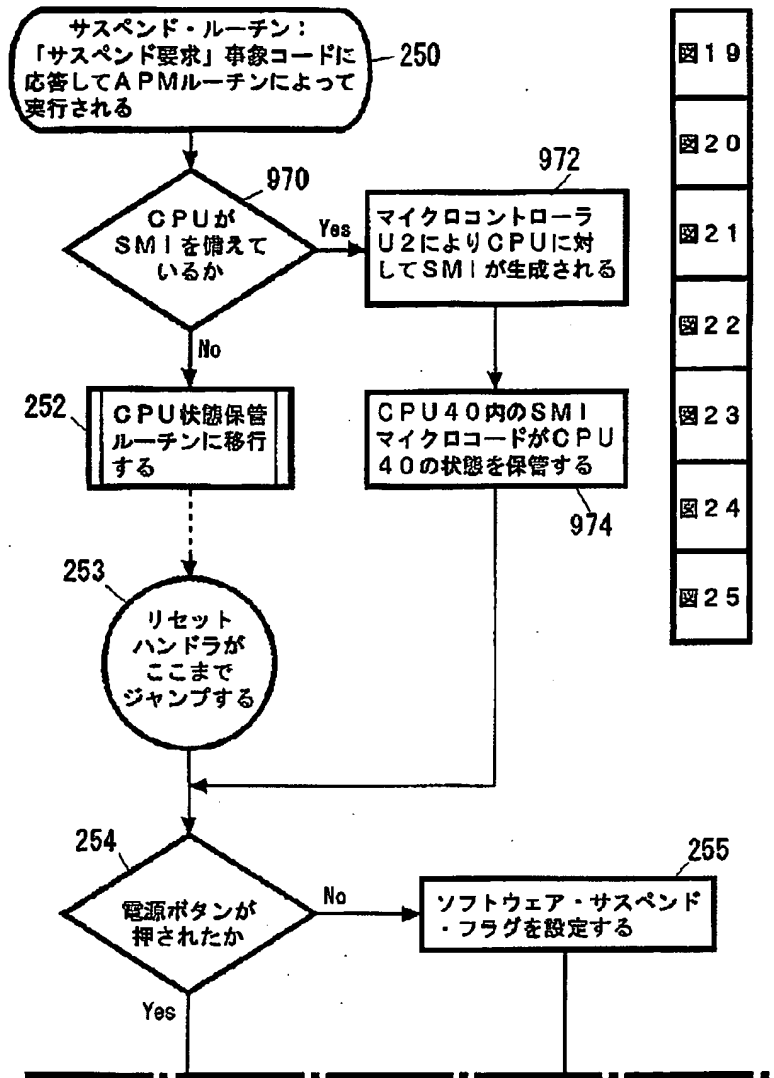
【図 17】



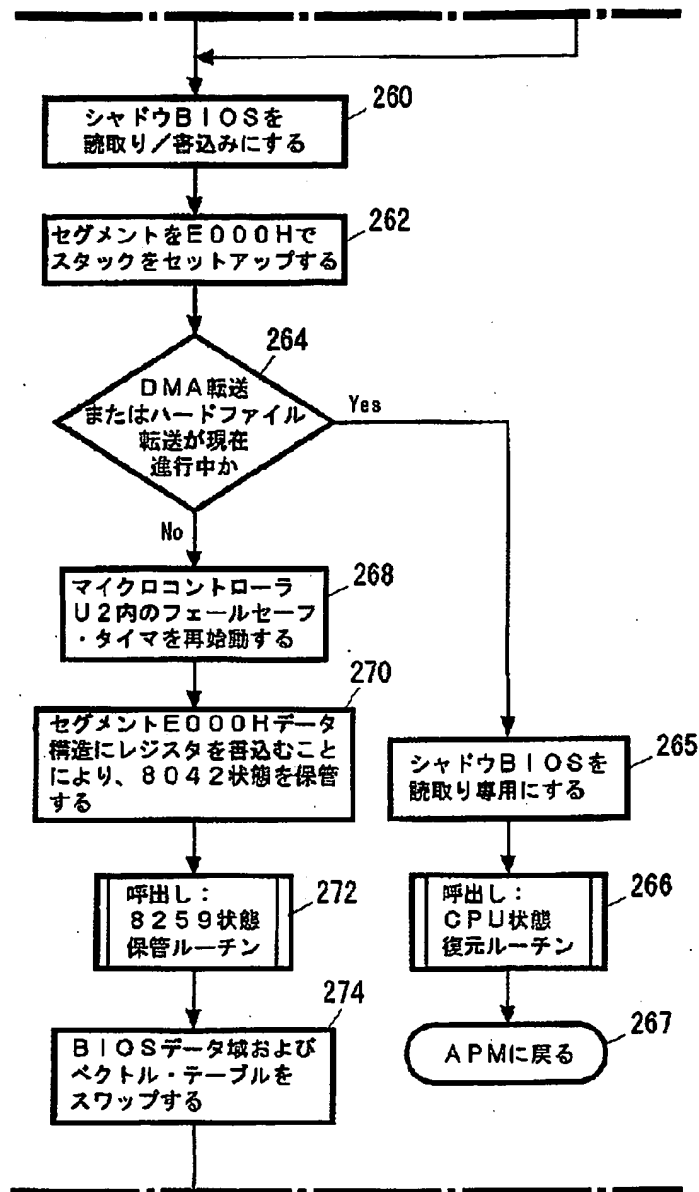
【図18】



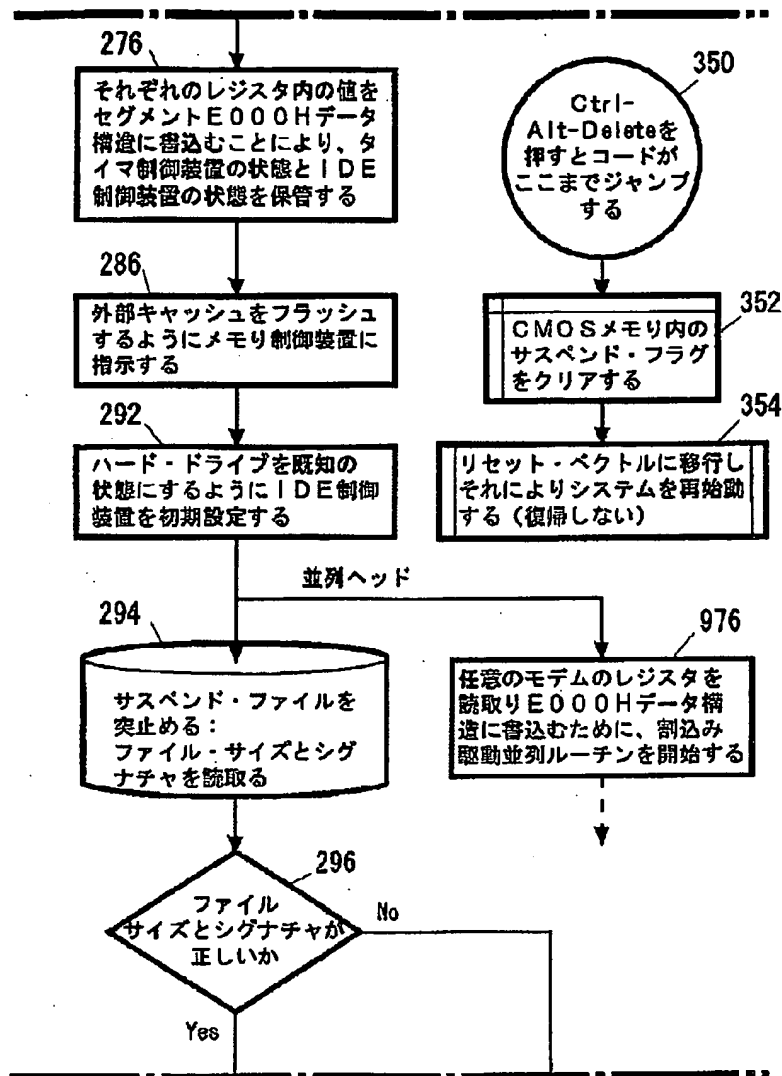
【図 19】



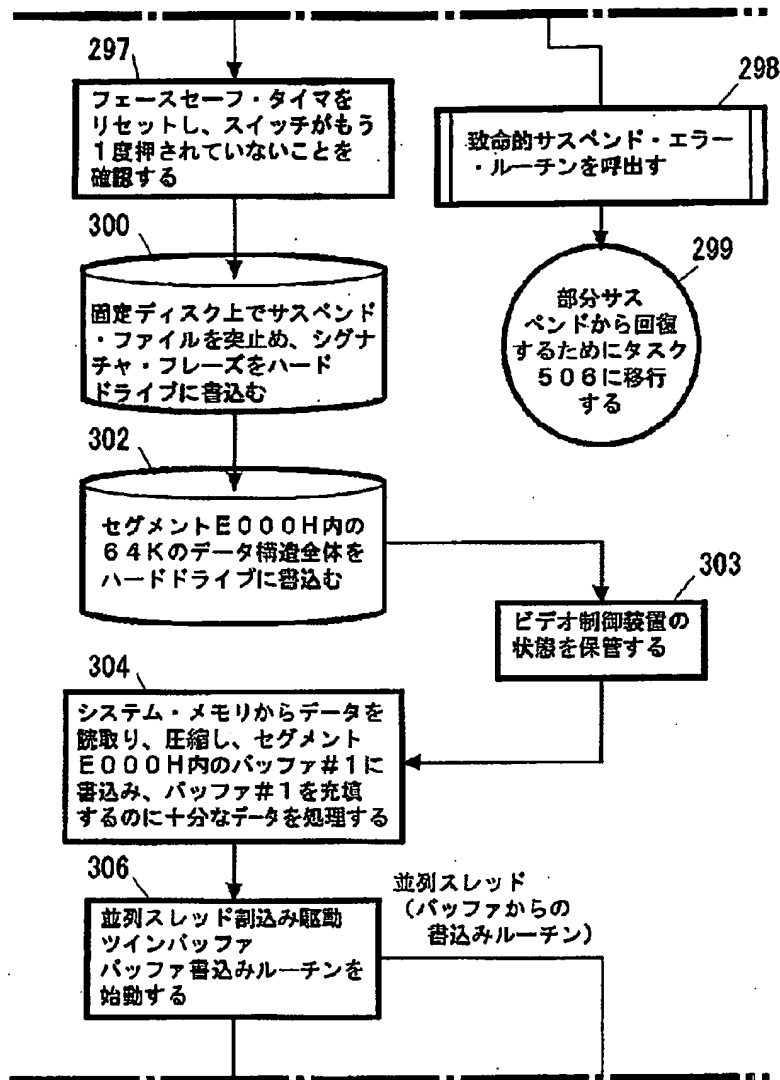
【図20】



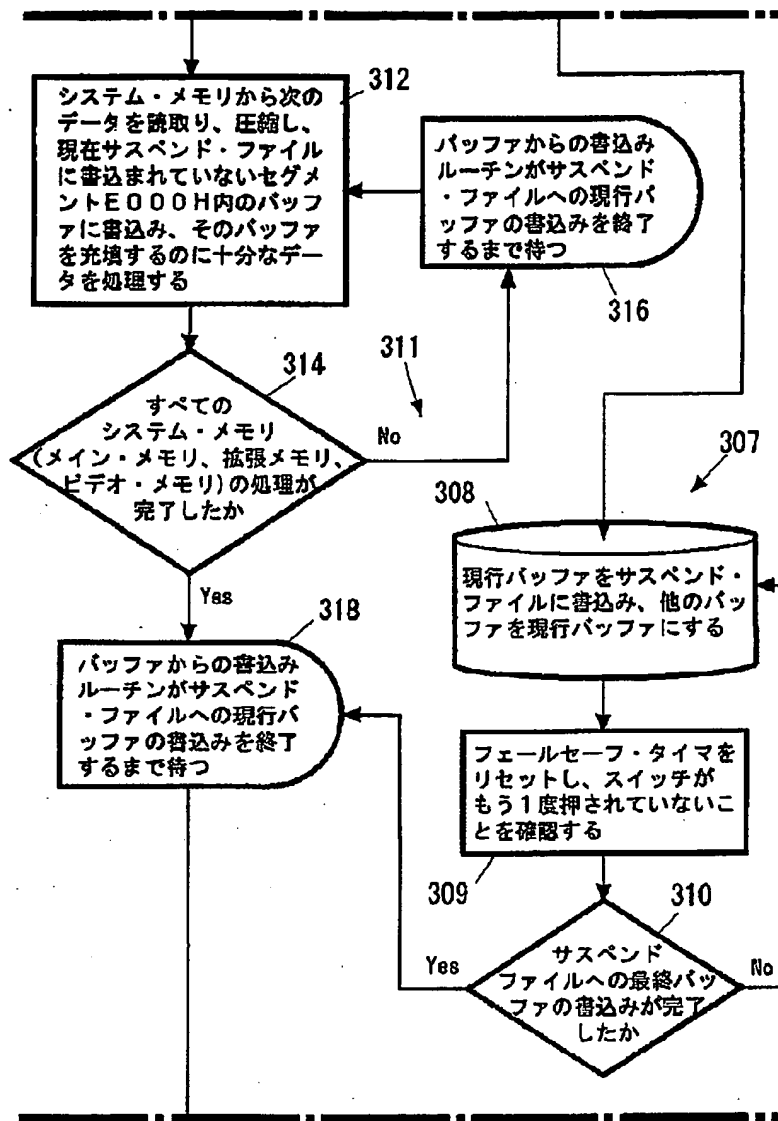
【図 21】



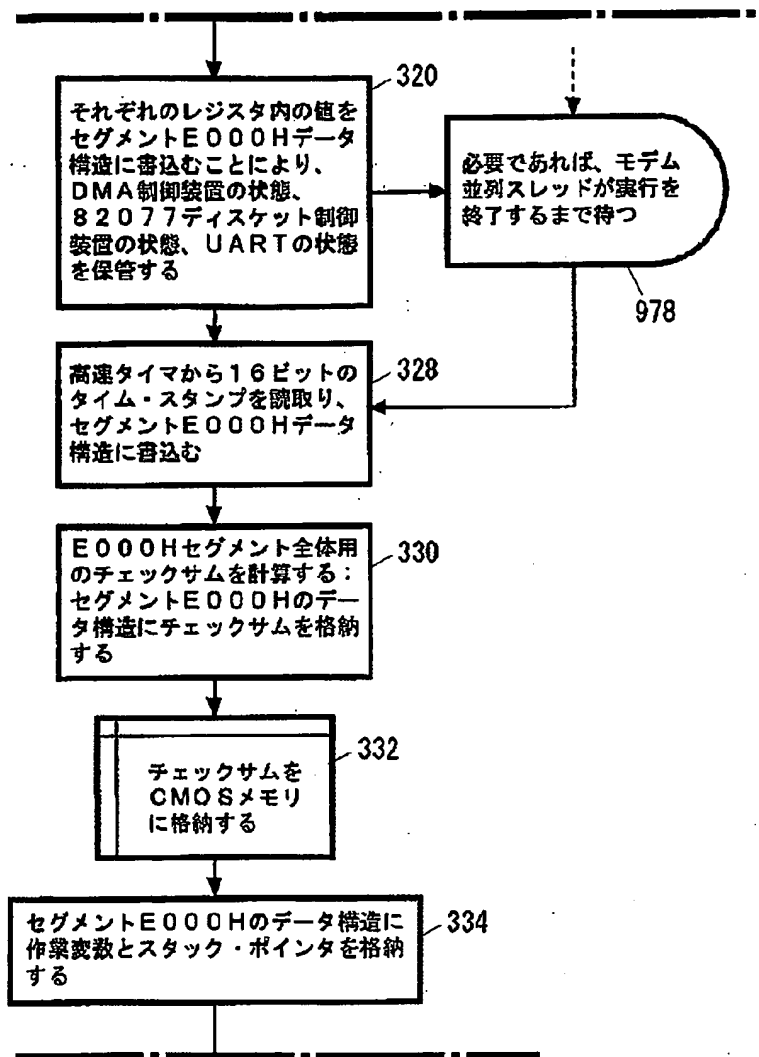
【図 22】



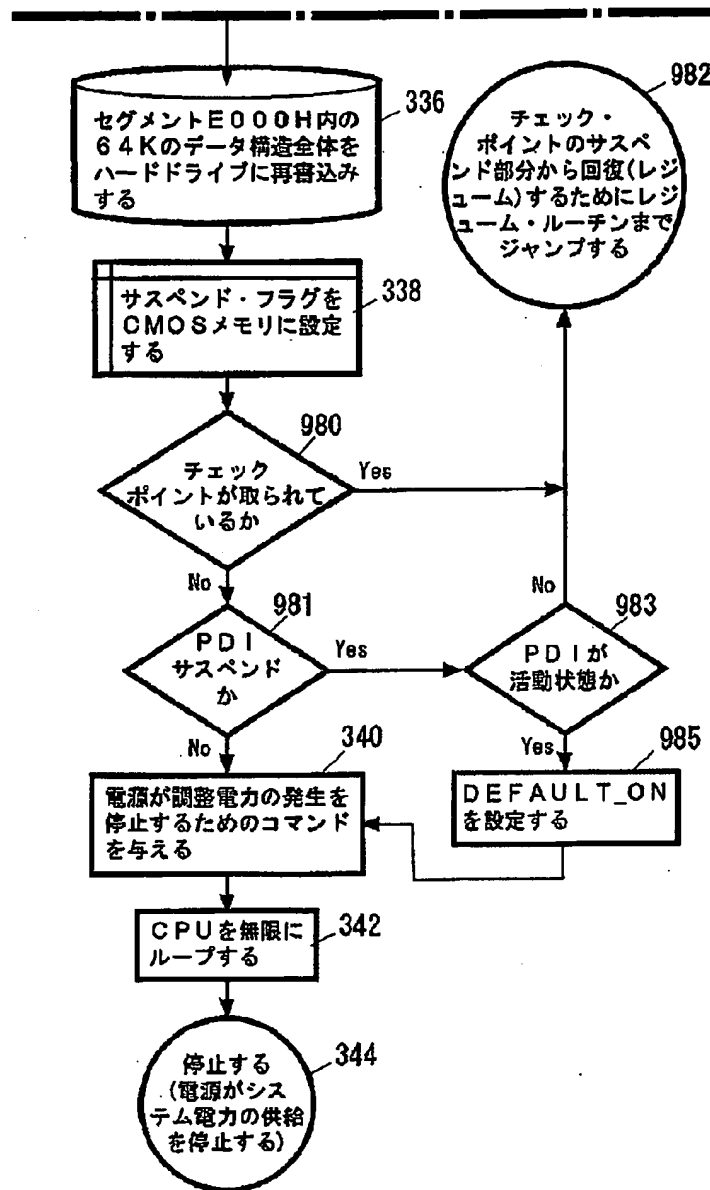
【図 23】



【図 24】



【図 25】



【手続補正書】

【提出日】平成9年7月3日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明を実施するパーソナル・コンピュータの斜視図である。

【図2】シャシ、カバー、電気機械式直接アクセス記憶装置、プレーナ・ボードを含む図1のパーソナル・コンピュータの所与の要素の分解斜視図であり、これらの要素間の所与の関係を示す図である。

【図3】図1および図2のパーソナル・コンピュータの所与の構成要素のブロック図である。

【図4】図1および図2のパーソナル・コンピュータの所与の構成要素のブロック図である。

【図5】図1および図2のパーソナル・コンピュータの

所与の構成要素のブロック図である。

【図 6】図 1 および図 2 のパーソナル・コンピュータの所与の構成要素のブロック図である。

【図 7】通常、待機、サスペンド、オフという 4 通りのシステム状態を示す、本発明のコンピュータ・システムの状態図である。

【図 8】電源の関連部分を示すブロック図である。

【図 9】本発明による別の電源の関連部分を示すブロック図である。

【図 10】他の図への各種インタフェースを示す、本発明の電力管理回路の電気概略図である。

【図 11】他の図への各種インタフェースを示す、本発明の電力管理回路の電気概略図である。

【図 12】他の図への各種インタフェースを示す、本発明の電力管理回路の電気概略図である。

【図 13】本発明の電力管理プロセッサにより維持されるスイッチ状態の 1 つを示す状態図である。

【図 14】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

【図 15】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

【図 16】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

【図 17】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

【図 18】本発明のブートアップ・ルーチンの詳細を示す流れ図である。

す流れ図である。

【図 19】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図 20】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図 21】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図 22】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図 23】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図 24】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図 25】本発明のサスペンド・ルーチンの詳細を示す流れ図である。

【図 26】本発明の SMI ルーチンの詳細を示す流れ図である。

【符号の説明】

- 10 マイクロコンピュータ・システム
- 11 ディスプレイ・モニタ
- 12 キーボード
- 13 マウス
- 14 プリンタまたはプロッタ
- 21 電源ボタン
- 23 電源／フィードバック LED
- 27 フロッピー・ディスク・ドライブ

フロントページの続き

(72)発明者 ジェームズ・アルフレッド・ヒーニー
アメリカ合衆国27713 ノースカロライナ
州ダーラム プラシド・コート 7

(72)発明者 デュエーン・エドワード・ノリス
アメリカ合衆国27613 ノースカロライナ
州レイリー リバー・オーク・ターン
3125-23

(72)発明者 ポール・ハリソン・ベンソン・ザフォース
アメリカ合衆国27613 ノースカロライナ
州レイリー コーブルストーン・コート
3300

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.